

CLIPPEDIMAGE= JP02000068813A

PAT-NO: JP02000068813A

DOCUMENT-IDENTIFIER: JP 2000068813 A

TITLE: OUTPUT CIRCUIT AND INPUT CIRCUIT

PUBN-DATE: March 3, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TOMITA, TAKASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP10238583

APPL-DATE: August 25, 1998

INT-CL (IPC): H03K019/0175

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an output circuit with an output voltage as designed and an input circuit with a broad input allowable voltage.

SOLUTION: A bias control circuit C36 in a 1st voltage step-down power supply circuit C33b of the output circuit C33 adjusts an on-resistance of a 3rd PMOS transistor (TR) P33 based on a voltage between a feedback input terminal 37 and a reference level input terminal 36 to control a voltage for an 'H' level generated from a power supply level Vdd. Similarly a bias control circuit C37 in a 2nd voltage step-down power supply circuit C33c controls an ON-resistance of a 3rd NMOS TR N33 to control a voltage for an 'L' level generated from a ground level. A push-pull section C33a generates an output signal S2 with the same logic as that of a logic signal S1 from an input terminal 35 and an output signal S2' with the inverted logic based on the received voltage for the 'H' level and the 'L' level and outputs the signals from a 1st output terminal 32 and a 2nd output terminal 34.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-68813

(P2000-68813A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl'
H 03 K 19/0175

識別記号

F I
H 03 K 19/00

コード(参考)
101 J 5 J 056
101 K
101 Q

審査請求 未請求 請求項の数25 OL (全45頁)

(21)出願番号 特願平10-238583

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日 平成10年8月25日(1998.8.25)

(72)発明者 富田 敬

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100095957

弁理士 龟谷 美明 (外2名)

Fターム(参考) 5J056 AA01 AA04 BB28 BB38 BB40

BB59 CC04 DD13 DD28 FF06

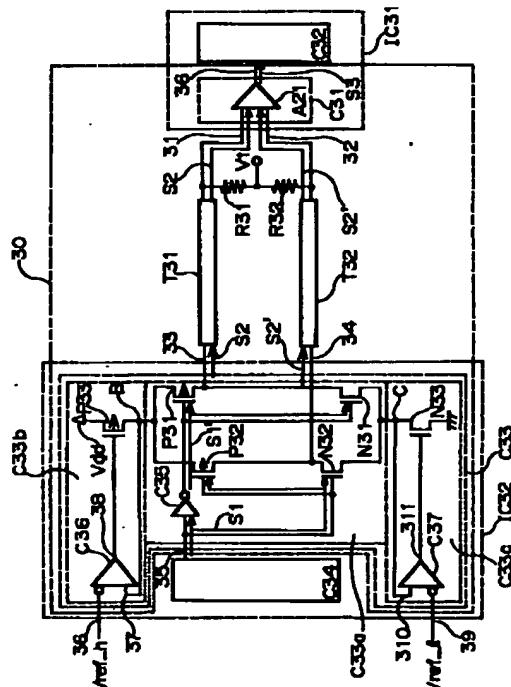
HH04

(54)【発明の名称】 出力回路と入力回路

(57)【要約】

【課題】 設計通りの出力電圧の出力回路と広範な入力許容電圧の入力回路とを提供する。

【解決手段】 出力回路C33の第1降圧電源回路C33bでは、バイアス制御回路C36によってフィードバック入力端子37(ノードB)と参照電位入力端子36との電位差に基づき第3PMOSトランジスタP33のオン抵抗を調整し、電源電位Vddから形成される”H”レベル用の電圧を制御する。同様に、第2降圧電源回路C33cでは、バイアス制御回路C37によって第3NMOSトランジスタN33のオン抵抗を制御し、接地電位から形成される”L”レベル用の電圧を制御する。ブッシュ・ブル部C33aでは、供給された”H”レベル用の電圧及び”L”レベル用の電圧を基に入力端子35からの論理信号S1の同一論理の出力信号S2と反転論理の出力信号S2'を形成して、第1出力端子33と第2出力端子34とから出力する。



【特許請求の範囲】

【請求項1】 入力論理信号が入力される入力端子と、前記入力論理信号の論理に対応する論理を持つ第1の出力論理信号を出力する第1出力端子と、前記第1の出力論理信号の反転論理を持つ第2の出力論理信号を出力する第2出力端子と、第1の電圧に基づいて前記第1及び第2の出力論理信号の一つの論理を形成するとともに第2の電圧に基づいて前記第1及び第2の出力論理信号の他の論理を形成する出力論理形成部と、を備える出力回路であって：さらに、前記第1の電圧を前記出力論理形成部に供給する第1の安定電圧供給回路と；前記第2の電圧を前記出力論理形成部に供給する第2の安定電圧供給回路と；を備えることを特徴とする、出力回路。

【請求項2】 前記第1及び第2の安定電圧供給回路は、定電圧源と前記定電圧源より供給される電圧を降下させて前記第1又は第2の電圧を形成する降圧手段とを備えることを特徴とする、請求項1に記載の出力回路。

【請求項3】 前記第1及び第2の安定電圧供給回路は、さらに、前記降圧手段の降圧動作を制御する制御回路を備えることを特徴とする、請求項2に記載の出力回路。

【請求項4】 前記制御回路は、前記第1又は第2の電圧に基づいて駆動するものであることを特徴とする、請求項3に記載の出力回路。

【請求項5】 前記制御回路は、前記第1又は第2の電圧と所定の参照電圧との比較結果に応じて駆動するものであることを特徴とする、請求項3又は4に記載の出力回路。

【請求項6】 さらに、前記第1又は第2の電圧から前記第1又は第2の出力論理信号の電圧と実質的に等しい帰還電圧を形成する帰還電圧形成手段を備えており、前記制御回路は、前記帰還電圧と所定の参照電圧との比較結果に応じて駆動するものであることを特徴とする、請求項3、4又は5のいずれかに記載の出力回路。

【請求項7】 さらに、前記所定の参照電圧を形成する参照電圧形成手段を備えていることを特徴とする、請求項5又は6に記載の出力回路。

【請求項8】 前記降圧手段は、オン抵抗を制御可能なトランジスタであり、前記制御回路は、差動增幅回路であることを特徴とする、請求項2、3、4、5、6又は7のいずれかに記載の出力回路。

【請求項9】 少なくとも、前記出力論理形成部と前記第1安定電圧供給回路と前記第2安定電圧供給回路とは、同一基板上に形成されていることを特徴とする、請求項1、2、3、4、5、6、7又は8のいずれかに記載の出力回路。

【請求項10】 前記出力論理形成部は、反転回路と四つのトランジスタとを備えることを特徴とする、請求項1、2、3、4、5、6、7、8又は9のいずれかに記載の出力回路。

【請求項11】 前記四つトランジスタは、二つのN型トランジスタと二つのP型トランジスタであることを特徴とする、請求項10に記載の出力回路。

【請求項12】 前記四つのトランジスタは、四つのN型トランジスタであることを特徴とする、請求項10に記載の出力回路。

【請求項13】 さらに、前記第1の出力端子と前記第2の出力端子とに接続され、前記第1の出力論理信号の電圧の所定値からのずれと前記第2の出力論理信号の電圧の所定値からのずれとをそれぞれ抑制する、抑制トランジスタを備えることを特徴とする、請求項10、11又は12のいずれかに記載の出力回路。

【請求項14】 前記出力論理形成部は、前記出力論理形成部のスリーステート制御を行うスリーステート制御手段を備えることを特徴とする、請求項1、2、3、4、5、6、7、8、9、10、11、12、13又は13のいずれかに記載の出力回路。

【請求項15】 前記制御回路は、前記制御回路のパワーダウン制御を行うパワーダウン制御手段を備えることを特徴とする、請求項1、2、3、4、5、6、7、8、9、10、11、12、13又は14のいずれかに記載の出力回路。

【請求項16】 前記出力論理形成部において、前記スリーステート制御手段の入力端子と前記パワーダウン制御手段の入力端子とは、共通入力端子に接続されていることを特徴とする、請求項14及び15に記載の出力回路。

【請求項17】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15又は16のいずれかに記載の出力回路がマクロセル化されたことを特徴とする、出力回路。

【請求項18】 第1の入力端子が共通接続され第2の入力端子同士が共通接続され出力端子同士が共通接続された第1及び第2の差動増幅回路を備える、第1の差動増幅回路対と；入力端子が前記出力端子と接続された、第1の反転回路と；を備えることを特徴とする、入力回路。

【請求項19】 第1の入力端子同士が共通接続され第2の入力端子同士が共通接続され出力端子同士が共通接続された第1及び第2の差動増幅回路をそれぞれが備える、第1及び第2の差動増幅回路対と；前記第1の差動増幅回路対の前記第1の入力端子同士と前記第2の差動増幅回路対の前記第2の入力端子同士とが共通接続された、第1の共通入力端子と；前記第1の差動増幅回路対の前記第2の入力端子同士と前記第2の差動増幅回路対の前記第1の入力端子同士とが共通接続された、第2の共通入力端子と；第1の入力端子が前記第1の差動増幅回路対の前記出力端子同士と接続され第2の入力端子が前記第2の差動増幅回路対の共通出力端子と接続され

た、第3の差動増幅回路と；入力端子が前記第3の差動

增幅回路の出力端子と接続された、第1の反転回路と；を備えることを特徴とする、入力回路。

【請求項20】さらに、入力端子が前記第1の反転回路の出力端子と接続された第2の反転回路を備えることを特徴とする、請求項18又は19に記載の入力回路。

【請求項21】さらに、前記第1の差動増幅回路対と前記第2の差動増幅回路対と前記第3の差動増幅回路との停止／動作を切り換えるスイッチング手段を備えることを特徴とする、請求項19又は20に記載の入力回路。

【請求項22】前記スイッチング手段は、前記第1の反転回路の動作を制御する機能をも併せ持つことを特徴とする、請求項21に記載の入力回路。

【請求項23】前記スイッチング手段は、前記第2の反転回路の動作を制御する機能をも併せ持つことを特徴とする、請求項21又は22に記載の入力回路。

【請求項24】前記スイッチング手段は、外部入力端子と、反転論理出力端子群と、非反転論理出力端子群と、出力端子が前記非反転論理出力端子群と接続された第3の反転回路と、入力端子が前記外部入力端子と接続されるとともに出力端子が前記反転論理端子群及び前記第3の反転回路の入力端子と接続された第4の反転回路とを、備えることを特徴とする、請求項21、22又は23のいずれかに記載の入力回路。

【請求項25】請求項18、19、20、21、22、23又は24のいずれかに記載の入力回路をマクロセル化したことを特徴とする、入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、出力回路及び入力回路、より詳しくは、集積回路間の信号伝送系に用いられる小振幅インターフェース回路に適用可能な出力回路及び入力回路に関する。

【0002】

【従来の技術】近年、CMOS半導体集積回路間における2値信号の送受信速度の高速化によって、従来使用されてきた公知のTTL若しくはCMOSレベルでの信号送受信が困難になってきている。TTL若しくはCMOSレベルでは、数十MHz程度の周波数が限界であり、それ以上の周波数では、TTL及びCMOSレベルよりも電圧振幅の小さい伝送信号を用いる小振幅インターフェース回路が使用されている。小振幅インターフェース回路では、伝送線路のインピーダンス整合を行って電気的反射を低減するとともに伝送信号電圧の小振幅化により回路内のキャパシタンス成分で生じる充放電時間を短縮して、高速な信号伝送を実現する。

【0003】従来の代表的な小振幅インターフェース回路としては、例えばCTTやGTL等に基づくインターフェース回路がある。また、従来の小振幅インターフェース回路の伝送方式としては、不平衡伝送型のものと平衡伝送

型のものとがある。不平衡伝送型のインターフェース回路は、送信信号を1本の伝送路で伝送する構成であるため、構成が簡素でLSI化する際に使用ピン数が少なくて済む等の利点がある。一方、平衡伝送型のインターフェース回路は、2本の伝送路で伝送する構成であり、送信信号を差動信号とするため、ノイズの相殺や相対的な伝送振幅を大きくとることができる等の利点がある。

【0004】従来、CTTに基づく小振幅インターフェース回路に適用可能な出力回路及び入力回路としては、例えば、"「Center-Tap-Terminated (CTT) Low-Level, High-Speed Interface Standard for Digital Integrated Circuits」 JEDEC STANDARD, JESD8-4"に開示されたものがある。

【0005】また、他の従来の小振幅インターフェース回路に適用可能な入力回路としては、例えば、Bill Gunning, et al., "「A CMOS Low-Voltage-Swing Transmission-Line Transceiver」, ISSCC Digest of Technical Papers, pp. 58-59, Feb., 1992"に開示されたGTLに適用可能なものがある。

【0006】従来の出力回路及び入力回路については、これら文献中で説明がなされているため、本明細書においては、その詳細な説明は省略する。

【0007】

【発明が解決しようとする課題】(出力回路についての課題)しかしながら、平衡伝送型のCTTに基づく小振幅インターフェース回路においては、出力回路-入力回路間の伝送線路に出力される出力信号の振幅が小さい。したがって、入力回路としては、小振幅の信号を受信する能力を持った差動増幅回路を使用する必要がある。例えば、CTTについての上記従来の文献(「JEDEC STANDARD」)では、出力信号の振幅が約1.0Vであり、受信可能な最小振幅が0.2Vの差動アンプが入力回路として用いられている。

【0008】一方で、小振幅インターフェイス回路では、出力回路の特性変動や伝送信号の雑音或いは伝搬中の信号の減衰等により、伝送線路を伝搬する信号の電位変動を考慮する必要がある。したがって、出力回路から出力する出力信号の電位(以下、「出力電圧」という。)に対して、入力回路の受信感度にある程度の余裕を持たせなければならない。

【0009】結果として、入力回路は、小振幅の入力信号に対して十分余裕を持った受信動作を行うことが要求され、非常に高性能な差動増幅回路を適用しなければならない。しかし、かかる高性能の差動増幅回路を用いることは回路技術、コスト面等からみて容易ではなく、結局、現状では、入力回路の受光感度に十分な余裕を持た

せられない。

【0010】また、CTTに基づく平衡伝送型の従来のインターフェース回路においては、伝送線路の終端抵抗のインピーダンスと出力回路を構成するMOSトランジスタのオン抵抗との比によって、出力回路の出力電圧が定まる。すなわち、出力回路の出力電圧は、出力回路を構成するMOSトランジスタのオン抵抗に大きく影響される。

【0011】したがって、例えば、プロセスの仕上がり、電源電圧の変動、或いは周囲温度等の変動によって出力回路を構成するMOSトランジスタの抵抗値が変動すると、出力信号の電圧も設計値から大きく変動する。小振幅インターフェース回路において、かかる出力電圧の変動は、入力回路の受信感度の余裕を小さくし、最悪の場合には、誤動作を引き起こす恐れもある。

【0012】従来は、かかる誤動作の恐れを回避するために、製造された集積回路に対して、出力電圧が規格値に収まっているか否かの検査をし、変動が規格値をはずれている場合には、不良品として廃棄していた。当然、不良品が多いと不経済であるので望ましくない。特に、小振幅インターフェース回路の一種であるLVDSインターフェース回路は出力電圧の規格が厳しいため、従来の出力回路を適用したのでは集積回路に大量の不良品が生じかねない。

【0013】(入力回路についての課題)また、小振幅インターフェース回路においては、入力信号の振幅が小さいために、一般に入力回路に差動アンプが用いられる。しかしながら、従来の入力回路は、2つのNMOSトランジスタのみで入力信号を受信する構成或いは2つのPMOSトランジスタのみで入力信号を受信する構成であった。したがって、NMOSトランジスタのみで入力信号を受信する構成では、参照電位がGND電位付近である場合、或いは差動入力信号の電位がGND電位付近である場合に、両NMOSトランジスタのゲート-ソース間バイアス電圧が十分に得られない。また、PMOSトランジスタのみで入力信号を受信する構成では、参照電位が電源電位付近である場合、或いは差動入力信号の電位が電源電位付近である場合に、両PMOSトランジスタのゲート-ソース間バイアス電圧が十分に得られない。

【0014】即ち、従来の入力回路は、特定の狭い範囲の入力信号に対してしか十分な動作が期待できず、広い範囲の差動入力信号を受信することが不可能であった。結果として、LVDSの入力電圧の規格を満足することができず、或いは非常に困難であった。さらに、従来の入力回路は、一つの入力回路で入力信号の電位の仕様が異なる様々なインターフェース回路に対応することは難しかった。したがって、仕様に応じて入力回路を設計し直す必要が生じる場合もあり、非経済的である。

【0015】さらにまた、従来の入力回路は、入力信号

や参照電位や電源電圧或いはGND電位の変動、特に、電源やGNDの電位の変動によって、差動入力信号の中心電位が変動し、誤動作を引き起こすおそれがある。

【0016】本発明は、従来の出力回路が有する上記問題点に鑑みて成されたものであり、出力電圧の変動を抑えて一定の出力電圧を出力できることにより、インターフェース回路に適用した場合に入力回路の受信感度に対する一定の余裕を確保できる、新規かつ改良された出力回路を提供することを目的とする。さらに、本発明の他の目的は、誤動作を起こしにくく、適用した集積回路の出荷時の不良品を減らすことができて経済的な、新規かつ改良された出力回路を提供することである。

【0017】また、本発明は、従来の入力回路が有する上記問題点にも鑑みて成されたものであり、接地電位から電源電位までの広い電圧範囲において正常に動作する、新規かつ改良された入力回路を提供することを目的とする。さらに、本発明の他の目的は、送信側回路の出力電圧に影響されることによって、各種の集積回路に適用可能な、新規かつ改良された入力回路を提供することである。

【0018】

【課題を解決するための手段】従来の出力回路が有する上記課題を解決するために、請求項1に記載の発明は、入力論理信号が入力される入力端子と、入力論理信号の論理に対応する論理を持つ第1の出力論理信号を出力する第1出力端子と、第1の出力論理信号の反転論理を持つ第2の出力論理信号を出力する第2出力端子と、第1の電圧に基づいて第1及び第2の出力論理信号の一の論理を形成するとともに第2の電圧に基づいて第1及び第2の出力論理信号の他の論理を形成する出力論理形成部と、を備える出力回路であって：さらに、第1の電圧を出力論理形成部に供給する第1の安定電圧供給回路と；第2の電圧を出力論理形成部に供給する第2の安定電圧供給回路と；を備える構成を採用する。

【0019】かかる構成を有する請求項1に記載の発明においては、第1及び第2の安定電圧供給回路の動作制御を行うことによって、第1及び第2の電圧を調整することができる。したがって、出力論理形成部に第1及び第2の出力論理信号の十分な調整能力を備えられていない場合でも、設計通りの第1及び第2の出力論理信号を出力することができる。すなわち、かかる請求項1に記載の発明を集積回路のインターフェース部に適用すれば、当該集積回路は正確に伝送情報を出力できるようになる。結果として、請求項1に記載の発明によれば、歩留まり向上による集積回路のイニシャルコスト低減を実現することができる。

【0020】請求項1に記載の発明において、第1及び第2の安定電圧供給回路には、請求項2に記載の発明のように、定電圧源と定電圧源より供給される電圧を降下させて第1又は第2の電圧を形成する降圧手段とを備え

る構成を採用することができる。

【0021】かかる構成を有する請求項2に記載の発明においては、安定電圧供給回路の降圧手段の動作制御を行うことによって、出力論理信号の安定制御が実現される。なおここで、降圧手段による電圧の降下には、正の降下のみならず、負の降下、すなわち上昇も含まれる。したがって、請求項2に記載の発明には、定電圧源から供給される電圧が第1又は第2の電圧よりも低電圧である構成も含まれる。

【0022】また、第1及び第2の安定電圧供給回路には、請求項3に記載の発明のように、さらに、降圧手段の降圧動作を制御する制御回路を備える構成を採用することができる。この場合、制御回路には、請求項4に記載の発明のように、第1又は第2の電圧に基づいて駆動するものである構成を採用することが可能である。

【0023】かかる構成を有する請求項4に記載の発明において、制御回路の動作は、制御回路自身が制御する降圧手段の第1又は第2の電圧の形成動作に基づいて行われる。すなわち、制御回路による降圧手段の制御は、一種の帰還制御である。結果として、請求項4に記載の発明によれば、その時々の供給状況に応じて出力論理形成部への第1及び第2の電圧供給を適切に制御できる出力回路を実現することができる。これによって、第1又は第2の出力論理信号の出力精度が更に向上した出力回路を提供することが可能となる。

【0024】また、制御回路には、請求項5に記載の発明のように、第1又は第2の電圧と所定の参照電圧との比較結果に応じて駆動するものである構成を採用することができる。かかる構成を有する出力回路では、例えば参照電圧を第1又は第2の電圧の目標値に設定することによって、降圧手段の制御を、現在の第1又は第2の電圧の目標値からのずれに基づいて行うことができる。

【0025】それから、降圧手段の制御は、請求項6に記載の発明のように、さらに、第1又は第2の電圧から第1又は第2の出力論理信号の電圧と実質的に等しい帰還電圧を形成する帰還電圧形成手段を備えており、制御回路は、帰還電圧と所定の参照電圧との比較結果に応じて駆動するものである構成によっても実現することができる。

【0026】かかる構成を有する請求項6に記載の発明においては、第1又は第2の出力論理信号の電圧と実質的に等しい帰還電圧に基づいて降圧手段の制御をすることで、出力回路の第1又は第2の出力論理信号の出力動作をより正確に制御することができる。

【0027】また、参照電圧は、請求項7に記載の発明のように、さらに、所定の参照電圧を形成する参照電圧形成手段を備えている構成を採用することによって、制御回路へ供給することができる。かかる請求項7に記載の発明は、特に集積回路のインターフェース部に応用する際に、集積回路外部から参照信号を供給する必要が

なく集積回路内で出力回路の制御が行えるという効果がある。

【0028】また、降圧手段は、請求項8に記載の発明のように、オン抵抗を制御可能なトランジスタであり、制御回路は、差動増幅回路である構成とすることが可能である。なお、集積回路のインターフェース回路に形成する出力回路には、請求項9に記載の発明のように、少なくとも、出力論理形成部と第1安定電圧供給回路と第2安定電圧供給回路とは、同一基板上に形成されている構成を採用することによって、本発明の適用が可能となる。

【0029】また、出力論理形成部には、請求項10に記載の発明のように、反転回路と四つのトランジスタとを備える構成を採用することができる。この場合、四つのトランジスタには、請求項11に記載の発明のように、二つのN型トランジスタと二つのP型トランジスタとを適用することができる。

【0030】さらに、四つのトランジスタには、請求項12に記載の発明のように、四つのN型トランジスタを適用することも可能である。かかる構成の請求項12に記載の発明を適用すると、トランジスタとしてMOS-FETを用いた場合に、出力回路の小型化が可能であるという効果がある。これは、通常、MOS-FETは、N型のものの方がP型のものよりも小さく形成することができるためである。

【0031】以上のようにトランジスタが適用された出力論理信号形成部は、請求項13に記載の発明のように、さらに、第1の出力端子と第2の出力端子とに接続され、第1の出力論理信号の電圧の所定値からのずれと第2の出力論理信号の電圧の所定値からのずれとをそれぞれ抑制する、抑制トランジスタを備える構成とすることが好適である。

【0032】通常、回路上の同種のトランジスタは、製造効率の問題から同時に製造される。したがって、請求項13に記載の発明においては、抑制トランジスタと同種のトランジスタでエミッターコレクタ(MOS-FETでは、ソースードレイン)間の抵抗値であるオン抵抗に製造誤差が生じると、抑制トランジスタのオン抵抗にも同様の製造誤差が生じる。

【0033】すなわち、トランジスタのオン抵抗ずれに起因して生じた第1又は第2の出力論理信号の電圧ずれは、出力論理信号の第1及び第2出力端子の出力端子間に接続された抑制トランジスタのオン抵抗のずれによって、相殺されることになる。結果として、請求項13に記載の発明によれば、より精度の良い出力論理信号を出力する出力回路を提供することができる。

【0034】また、出力論理形成部は、請求項14に記載の発明のように、前記出力論理形成部のスリーステート制御を行なうスリーステート制御手段を備える構成とすることが好適である。かかる構成を有する請求項14に

記載の発明においては、非動作時の出力論理信号形成部での電力消費を抑制することができる。さらに、前記制御回路は、請求項15に記載の発明のように、前記制御回路のパワーダウン制御を行うパワーダウン制御手段を備える構成とすることが好適である。かかる構成を有する請求項15に記載の発明においては、非動作時の制御回路での電力消費を抑制することができる。

【0035】ここで、請求項16に記載の発明のように、前記スリーステート制御手段の入力端子と前記パワーダウン制御手段の入力端子とは、共通入力端子に接続されている構成とすれば、出力論理形成部及び制御回路の動作／非動作の切り替えを一括して行うことができ、制御が簡素化される。

【0036】なお、以上説明した請求項1～16に記載の発明にかかる出力回路は、請求項17に記載の発明のように、マクロセル化することができる。

【0037】一方、従来の入力回路が有する上記課題を解決するために、請求項18に記載の発明は、第1の入力端子が共通接続され第2の入力端子同士が共通接続され出力端子同士が共通接続された第1及び第2の差動増幅回路を備える、第1の差動増幅回路対と；入力端子が前記出力端子と接続された、第1の反転回路と；を備える構成を採用する。

【0038】かかる構成を有する請求項18に記載の発明において、第1の差動増幅回路と第2の差動増幅回路とが互いの動作を補い合う。したがって、差動増幅回路のどちらかが十分に機能しない入力電圧の領域においても、他方の差動増幅回路対を十分に機能させることで、差動増幅回路対全体としては、所定の駆動力の出力信号を出力することができる。結果として、請求項18に記載の発明によれば、受信することのできる入力電圧の範囲が広く汎用性の高い入力回路を提供することができる。

【0039】また、請求項19に記載の発明は、第1の入力端子同士が共通接続され第2の入力端子同士が共通接続され出力端子同士が共通接続された第1及び第2の差動増幅回路をそれぞれが備える、第1及び第2の差動増幅回路対と；第1の差動増幅回路対の第1の入力端子同士と第2の差動増幅回路対の第2の入力端子同士とが共通接続された、第1の共通入力端子と；第1の差動増幅回路対の第2の入力端子同士と第2の差動増幅回路対の第1の入力端子同士とが共通接続された、第2の共通入力端子と；第1の入力端子が第1の差動増幅回路対の出力端子同士と接続され第2の入力端子が第2の差動増幅回路対の共通出力端子と接続された、第3の差動増幅回路と；入力端子が第3の差動増幅回路の出力端子と接続された、第1の反転回路と；を備える構成を採用する。

【0040】かかる構成を有する請求項19に記載の発明においては、第1及び第2の差動増幅回路対の出力

を、第3の差動増幅回路によってさらに増幅することができる。さらに、第1の差動増幅回路対の出力信号と第2の差動増幅回路対の出力信号とは相補型の論理を持つため、第3の差動増幅回路によって大きな増幅を得ることができる。したがって、後段に接続される回路にとって論理の識別が容易な出力信号を出力することができる。結果として、請求項19に記載の発明によれば、一層小振幅な伝送信号が使用されるインタフェース回路に使用することができる入力回路を提供することができる。

【0041】ここで、請求項20に記載の発明のように、さらに、入力端子が第1の反転回路の出力端子と接続された第2の反転回路を備える構成とすることが好適である。かかる構成においては、第1の反転回路と第2の反転回路とによって、差動増幅回路対又は第3の差動増幅回路からの出力信号を、順次増幅することができる。結果として、請求項21に記載の発明によれば、更に小振幅なインタフェース回路の実現が可能となる。

【0042】さらに、請求項21に記載の発明のように、第1の差動増幅回路対と第2の差動増幅回路対と第3の差動増幅回路との停止／動作を切り換えるスイッチング手段を備える構成とすることが好適である。かかるスイッチング手段には、例えば、請求項22に記載の発明のように、第1の反転回路の動作を制御する機能をも併せ持つものや、請求項23に記載の発明のように、第2の反転回路の動作を制御する機能をも併せ持つものを適用することができる一層好適である。

【0043】これらの構成においては、スイッチング手段の機能によって、入力回路の動作制御を行うと共に、入力回路が動作していないときに、例えば出力端子からの出力信号の論理固定や不要な電流の発生防止等を行うことができる。結果として、入力回路の後段に接続される回路の誤動作を防止したり、入力回路での消費電力を抑制したりすることができる。

【0044】なお、スイッチング手段の具体的な構成としては、例えば、請求項24に記載の発明のように、外部入力端子と、反転論理出力端子群と、非反転論理出力端子群と、出力端子が非反転論理出力端子群と接続された第3の反転回路と、入力端子が外部入力端子と接続されるとともに出力端子が反転論理端子群及び第3の反転回路の入力端子と接続された第4の反転回路とを、備えるものがある。

【0045】さらに、以上説明した請求項18～24に記載の発明にかかる入力回路は、請求項25に記載の発明のように、マクロセル化することができる。かかる構成を有する請求項25に記載の発明によれば、入力回路を内蔵した集積回路の設計の容易化を図ることができる。

【0046】

【発明の実施の形態】以下に、添付図面を参照しながら

11

ら、本発明の好適な実施の形態について詳細に説明する。なお、以下に説明する実施の形態のうち第1～第11の実施の形態は、出力回路についてのものであり、第12以降の実施の形態は、入力回路についてのものである。また、以下の説明及び添付図面において、略同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。

【0047】(第1の実施の形態)まず、第1の実施の形態について、図1～図4を参照しながら説明する。ここで、図1は、本実施の形態にかかる出力回路C33及び出力回路C33を適用したインターフェース回路30の概略的な回路図であり、また、図2は、本実施の形態にかかる出力回路C33に適用可能な制御回路C36の特性説明図である。さらに、図3は、制御回路C36として適用可能な制御回路C53の概略的な回路図であり、図4は、制御回路C37として適用可能な制御回路C63の概略的な回路図である。

【0048】(インターフェース回路30の構成)最初は、本実施の形態にかかる出力回路C33を適用した平衡伝送型のインターフェース回路30の構成について、図1を参照しながら説明する。図1に示すように、インターフェース回路30は、本実施の形態にかかる出力回路C33と、入力回路C31と、第1伝送線路T31と、第2伝送線路T32と、第1終端抵抗R31と、第2終端抵抗R32とから、構成されている。

【0049】インターフェース回路30において、本実施の形態にかかる出力回路C33は、内部回路C34と集積されて、信号送信側の集積回路IC32に形成されている。出力回路C33は、一つの入力端子35と第1出力端子33及び第2出力端子34とを有しており、入力端子35から入力された論理信号S1の論理に応じて第1出力端子33と第2出力端子34とから相互に反転論理を持つ出力信号S2、S2'をほぼ同時に出力する機能を備えている。集積回路IC32において、出力回路C33の入力端子35には、内部回路C34の出力端子が接続されている。なお、本実施の形態にかかる出力回路C33の詳細については後述する。

【0050】また、入力回路C31は、内部回路C32と集積されて、信号受信側の集積回路IC31に形成されている。かかる入力回路C31は、第1入力端子31及び第2入力端子32と一つの出力端子36とを有しており、第1入力端子31と第2入力端子32との電位差を増幅してCMOSレベルの論理信号S3を出力端子36から出力する機能を備えている。インターフェース回路30において出力信号S2、S2'の電圧振幅が小さいために、かかる入力回路C31としては差動アンプA21が適用されている。集積回路IC31において、かかる差動アンプA21の出力端子36には、内部回路C32の入力端子が接続されている。

【0051】インターフェース回路30においては、上記

10

出力回路C33の2つの出力端子33、34と上記差動アンプA21の2つの入力端子31、32とが、第1伝送線路T31と第2伝送線路T32によって、1対1接続されている。すなわち、出力回路C33の第1出力端子33と差動アンプA21の第1入力端子31とが第1伝送線路T31によって接続されており、第2出力端子34と第2入力端子32とが第2伝送線路T32によって接続されている。

【0052】インターフェース回路30において、かかる第1伝送線路T31及び第2伝送線路T32には、例えば、プリント基板上に形成されたマイクロストリップ線が使用される。かかる第1伝送線路T31及び第2伝送線路T32それぞれの差動アンプA21に接続された一端は、第1終端抵抗R31と第2終端抵抗R32とを通じて、終端電位Vtに終端させられる。

【0053】インターフェース回路30においては、第1終端抵抗R31のインピーダンスと第1伝送線路T31の特性インピーダンスとが等しく設定されており、第2終端抵抗R32のインピーダンスと第2伝送線路T32の特性インピーダンスとが等しく設定されている。また、終端電位Vtは、集積回路IC32の電源電位及び集積回路IC31の電源電位よりも低い電位に設定される。かかる構成によって、電気的反射等が抑制され、小振幅信号を用いた高速の送受信伝送が可能となる。

【0054】(インターフェース回路30の回路動作)以上のように構成された平衡伝送型のインターフェース回路30に向けて、内部回路C34からCMOSレベルの論理信号S1が出力されると、論理信号S1は入力端子35を介して出力回路C33に入力される。

【0055】論理信号S1が入力された出力回路C33からは、第1出力端子33と第2出力端子34とを介して相補型の出力信号S2、S2'が出力される。すなわち、第1出力端子33から、論理信号S1と同一の論理を持つCTTレベルの出力信号S2が第1伝送線路T31に出力され、ほぼ同時に、第2出力端子34から、前記論理信号S1の反転論理を持つCTTレベルの出力信号S2'が第2伝送線路T32に出力される。かかる相補型の出力信号S2、S2'は、第1伝送線路T31と第2伝送線路T32とによって別々に伝送されて、第1入力端子31と第2入力端子32とのそれぞれから差動アンプA21にほぼ同時に入力される。

【0056】差動アンプA21では、第1入力端子31に入力された出力信号S2と第2入力端子32から入力された出力信号S2'の電位差が増幅されて、論理信号S1と同一の論理を持つCMOSレベルの論理信号S3が出力端子36から出力される。結果として、CMOSレベルの論理信号S3が内部回路C32に受信され、インターフェース回路30における信号伝送が実現される。

【0057】なお、以上説明したインターフェース回路3

50

13

0をCTTの規格に適合させる場合、第1伝送線路T3 1及び第2伝送線路T3 2の特性インピーダンスはいずれも約50Ωに設定され、それに伴い、第1終端抵抗R3 1及び第2終端抵抗R3 2のインピーダンスは約50Ωに設定される。また、集積回路IC3 1、IC2 2の電源電位は約3.3Vに設定され、終端電位Vtは1.5Vに設定される。

【0058】(出力回路C3 3の回路構成) 次に、本実施の形態にかかる出力回路C3 3について、図1～図4を参照しながら詳細に説明する。図1に示すように、本実施の形態にかかる出力回路C3 3は、出力論理供給回路に相当するプッシュ・プル部C3 3aと第1又は第2の安定電圧供給回路に相当する第1降圧電源回路C3 3b及び第2降圧電源回路C3 3cとから構成されている。かかる出力回路C3 3は、設計通りの所定の電圧振幅を持つ2値ディジタル信号を、出力信号S2、S2'として出力することが可能である。

【0059】(第1降圧電源回路C3 3b) 本実施の形態にかかる出力回路C3 3において、第1降圧電源回路C3 3bは、降圧手段に相当する第3PMOSトランジスタP3 3と降圧手段の制御回路に相当するバイアス電圧制御回路C3 6とから構成されており、ノードBと電源電位Vddとを有している。出力回路C3 3において、かかる第1降圧電源回路C3 3bは、プッシュ・プル部C3 3aへ、"H"レベルの出力信号を形成するための安定電圧を供給する機能を備えている。

【0060】第1降圧電源回路C3 3bにおいて、第3PMOSトランジスタP3 3は、バイアス電圧制御回路C3 6の出力端子38に接続されたゲート端子と、電源電位Vddに接続されたソース端子と、ノードBに接続されたドレイン端子とを有している。第3PMOSトランジスタP3 3においては、ゲート端子の電位を制御することによって、ソース端子-ドレイン端子間の抵抗値を調節することができる。

【0061】また、第1降圧電源回路C3 3bにおいて、バイアス電圧制御回路C3 6は、第3PMOSトランジスタP3 3のゲート端子に接続された出力端子38の他に、第1降圧電源回路C3 3b外部の参照電位Vref_hに接続された参照電位入力端子36と、ノードBに接続されたフィードバック入力端子37とを有している。かかるバイアス電圧制御回路C3 6は、参照電位入力端子36の電位とフィードバック入力端子37の電位とを比較した比較結果に応じて、出力端子38から第3PMOSトランジスタP3 3のオン抵抗制御用の出力電圧を出力する機能を備えている。

【0062】ここで、かかるバイアス電圧制御回路C3 6の出力特性について、図2を参照しながら説明する。なお、図2には、参照電位入力端子36に一定の参照電位Vref_hを与えた状態における、フィードバック入力端子37への入力電圧と出力端子38からの出力電

50

14

圧との関係を示してある。

【0063】図2に示すように、バイアス電圧制御回路C3 6において、出力端子38からの出力電圧は、参照電位Vref_hを中心とする所定の電圧領域で、フィードバック入力端子37への入力電圧が高くなるとともに高くなる。また、出力端子38からの出力電圧は、フィードバック入力端子37への入力電圧が低くなるとともに低くなる。そして、フィードバック入力端子37への入力電圧が参照電位Vref_hに等しくなったとき、出力端子38からの出力電圧は、予め設定された所定の電圧Vg_hになる。

【0064】図3には、バイアス電圧制御回路C3 6として適用可能な回路例として、回路C5 3を示す。かかる回路C5 3はカレントミラー負荷の差動アンプであり、回路C5 3の入力端子56が、バイアス電圧制御回路C3 6のフィードバック入力端子36に相当する。さらに、回路C5 3の入力端子57が、バイアス電圧制御回路C3 6の参照電位入力端子37に相当し、出力端子58が、バイアス電圧制御回路C3 6の出力端子38に相当する。

【0065】図3に示すように、回路C5 3は、PMOSトランジスタP5 1、P5 2、NMOSトランジスタN5 1、N5 1、N5 3のオン抵抗を調整して、所定の電圧Vg_hを出力するように設計することができる。なお、本実施の形態にかかる出力回路C3 3において、バイアス電圧制御回路C3 6は、図3の回路C5 3以外の回路を適用することは言うまでもない。

【0066】以上のように構成された第1降圧電源回路C3 3bにおいては、第3PMOSトランジスタP3 3のゲート端子に所定の電圧Vg_hが印加されると、ノードBの電位は参照電位Vref_hと等しい電位になるように設計されている。再び図1及び図2に示すように、ノードBの電位が参照電位Vref_hよりも高くなると、バイアス電圧制御回路C3 6のフィードバック入力端子37の電位が参照電位入力端子36の電位(参照電位Vref_h)よりも高くなる。したがって、出力端子38からは所定の電圧Vg_hよりも高電圧の出力電圧が出力され、第3PMOSトランジスタP3 3のゲート端子の電位が上昇する。結果として、第3PMOSトランジスタP3 3のソース端子-ドレイン端子間の抵抗値が上昇し、ノードBの電位が低下する。

【0067】逆に、ノードBの電位が参照電位Vref_hよりも低くなると、フィードバック入力端子37の電位が参照電位入力端子36の電位(参照電位Vref_h)よりも低くなる。したがって、出力端子38からは所定の電圧Vg_hよりも低電圧の出力電圧が出力され、第3PMOSトランジスタP3 3のゲート端子の電位が低下する。結果として、第3PMOSトランジスタP3 3のソース端子-ドレイン端子間の抵抗値が低下し、ノードBの電位が上昇する。

【0068】結局、第1降圧電源回路C33bにおいては、バイアス電圧制御回路C36による第3PMOSトランジスタP33のフィードバック制御によって、ノードBの電位は常時ほぼ参照電位Vref_hに保たれることが分かる。

【0069】(第2降圧電源回路C33c) 第2降圧電源回路C33cは、第3NMOSトランジスタN33とバイアス電圧制御回路C37とから構成されており、それ以外に、アッシュ・ブル部C33aに接続されたノードCとGND電位とを有している。本実施の形態にかかる出力回路C33において、かかる第2降圧電源回路C33cは、アッシュ・ブル部C33aに、"L"レベルの出力信号を形成するための安定電圧を供給する役割を担っている。

【0070】第2降圧電源回路C33cにおいて、第3NMOSトランジスタN33は、バイアス電圧制御回路C37の出力端子311に接続されたゲート端子と、GND電位に接続されたソース端子と、ノードCに接続されたドレイン端子とを有している。かかる第3NMOSトランジスタN33では、ゲート端子の電位を制御することによって、ソース端子-ドレイン端子間の抵抗値を調節することができる。

【0071】また、バイアス電圧制御回路C37は、第3NMOSトランジスタN33のゲート端子に接続された出力端子311の他に、第2降圧電源回路C33c外部の参照電位Vref_1に接続された参照電位入力端子39と、ノードCに接続されたフィードバック入力端子310とを有している。かかるバイアス電圧制御回路C37は、上記バイアス電圧制御回路C36と同様に、参照電位入力端子39の電位とフィードバック入力端子310の電位とを比較した比較結果に応じて、出力端子311から第3NMOSトランジスタN33のオン抵抗制御用の出力電圧を出力する機能を備えている。

【0072】かかるバイアス電圧制御回路C37において、バイアス電圧制御回路C37の参照電位入力端子39に一定の参照電位Vref_1を与えた場合には、参照電位Vref_1を中心とする所定の電圧範囲で、フィードバック入力端子310に与える入力電圧が高くなると出力端子311からの出力電圧も高くなる。逆に、フィードバック入力端子310に与える入力電圧が低くなると出力端子311からの出力電圧も低くなる。そして、入力電圧が参照電位Vref_1に等しくなると、出力端子311からの出力電圧は所定の電圧Vg_1となる。

【0073】図4には、バイアス電圧制御回路C37として適用可能な一回路例として、回路C63を示す。かかる回路C63は、カレントミラー負荷の差動アンプであり、回路C63の入力端子66が、バイアス電圧制御回路C37のフィードバック入力端子36に相当する。さらに、回路C63の入力端子67がバイアス電圧制御

回路C37の参照電位入力端子37に相当し、回路C63の出力端子68がバイアス電圧制御回路C37の出力端子38に相当する。

【0074】図4に示すように、回路C63は、PMOSトランジスタP61, P62, P63, NMOSトランジスタN61, N61のオン抵抗を調整して、所定の電圧Vg_1を出力するように設計することができる。なお、本実施の形態にかかる出力回路C33において、バイアス電圧制御回路C37には、図4の例示回路以外の回路を適用することができることは言うまでもない。

【0075】以上のように構成された第2降圧電源回路C33cにおいては、第3のNMOSトランジスタN33のゲート端子に所定の電圧Vg_1が印加されると、ノードCの電位は参照電位Vref_1と等しい電位になるように設計されている。そして、上記第1降圧電源回路C33bと同様の理由によって、バイアス電圧制御回路C37による第3NMOSトランジスタN33のフィードバック制御によって、ノードCの電位は常時ほぼ参照電位Vref_1に保たれる。

【0076】(アッシュ・ブル部C33a) 図1に示すように、アッシュ・ブル部C33aは、主として、CMOSインバータ回路C35と、4個のMOS-FET (Metal-Oxide Semiconductor Field-Effect-Transistor: 以下、「MOSトランジスタ」という。) とから構成されている。かかるアッシュ・ブル部C33aには、出力回路C33の入力端子35、第1出力端子33、及び第2出力端子34が形成されている。

【0077】アッシュ・ブル部C33aに適用されたC30 MOSインバータ回路C35は、CMOSレベルの論理信号が入力されると該論理信号の反転論理を持つCMOSレベルの論理信号を出力する機能を備えている。アッシュ・ブル部C33aにおいて、かかるCMOSインバータ回路C35の入力端子は、入力端子35に接続されている。

【0078】また、アッシュ・ブル部C33aを構成する4個のMOSトランジスタは、第1PMOSトランジスタP31と第2PMOSトランジスタP32と第1NMOSトランジスタN31と第2NMOSトランジスタN32である。アッシュ・ブル部C33aにおいては、かかる4個のMOSトランジスタによって、相補型のMOSトランジスタからなるCMOS対が形成されている。

【0079】アッシュ・ブル部C33aを構成する一方のCMOS対は、第1PMOSトランジスタP31と第2NMOSトランジスタN31とから構成される。アッシュ・ブル部C33aにおいて、第1PMOSトランジスタP31のゲート端子と第2NMOSトランジスタN31のゲート端子とは、CMOSインバータ回路C35の出力端子に共通接続されている。さらに、第1PMOS

17

SトランジスタP31のドレイン端子と第1NMOSトランジスタN31のドレイン端子とは、出力回路C33の第1出力端子33に共通接続されている。さらにまた、第1PMOSトランジスタP31のソース端子は、第1降圧電源回路C33bのノードBに接続されており、第1NMOSトランジスタN31のソース端子は第2降圧電源回路C33cのノードCに接続されている。

【0080】また、他方のCMOS対は、第2PMOSトランジスタP32と第2NMOSトランジスタN32とから構成される。アッシュ・ブル部C33aにおいて、第2P型MOSトランジスタP32のゲート端子と第2NMOSトランジスタN32のゲート端子とは、入力端子35に共通接続されている。さらに、第2P型MOSトランジスタP32のドレイン端子と第2NMOSトランジスタN32のドレイン端子とは、第2出力端子34に共通接続されている。さらにまた、第2P型MOSトランジスタP32のソース端子は第1降圧電源回路C33bのノードBに接続されており、第2NMOSトランジスタN32のソース端子は第2降圧電源回路C33cのノードCに接続されている。

【0081】かかるアッシュ・ブル部C33aに入力端子35を介してCMOSレベルの論理信号S1が入力されると、PMOSトランジスタP31、P32及びNMOSトランジスタN31、N32のオン／オフ状態が切り換えられる。

【0082】(出力回路C33の回路動作)以上のように構成された本実施の形態にかかる出力回路C33の動作について、図1を参照しながら説明する。本実施の形態にかかる出力回路C33に向けて内部回路C24から論理信号S1が出力されると、論理信号S1は、入力端子35から出力回路C33内部に入力される。

【0083】出力回路C33において、論理信号S1は、CMOSインバータ回路C35の入力端子と第2PMOSトランジスタP32のゲート端子及び第2NMOSトランジスタN32のゲート端子とに分岐入力される。この様に論理信号S1が入力されると、第2PMOSトランジスタP32又は第2NMOSトランジスタN32からは、第2出力端子34を介して、出力回路C33に接続された第2伝送線路T32に、内部回路の反転論理を持つ出力信号S2'が出力される。

【0084】一方、論理信号S1が入力されたCMOSインバータ回路C35からは、論理信号S1の反転論理を持つCMOSレベルの反転論理信号S1'が出力される。かかる反転論理信号S1'は、第1PMOSトランジスタP31のゲート端子と第1NMOSトランジスタN31のゲート端子とに分岐入力される。この様に反転論理信号S1'が入力されると、第1PMOSトランジスタP31又は第1NMOSトランジスタN31からは、第1出力端子33を介して、出力回路C33に接続された伝送線路T31に、内部回路C34と同一の論理

18

を持つ出力信号S2が出力される。

【0085】相互に反転した論理を持つかかる出力信号S2及び出力信号S2'の出力についてより詳細に説明する。まず、内部回路C34から出力された論理信号S1の論理レベルが“H”レベルである場合には、第2PMOSトランジスタP32はオフ状態となり、逆に第2NMOSトランジスタN32はオン状態となる。したがって、第2出力端子34は第2NMOSトランジスタN32を介して第2降圧電源回路C33cのノードCと接続される。上述のように、第2降圧電源回路C33cのノードCは、常に“L”レベル側の参照電位Vref_1程度の電位に保持されており、結果として、第2出力端子34からは、出力回路C33後段に“L”レベルの出力信号S2'が出力される。

【0086】さらに、論理信号S1の論理レベルが“H”レベルである場合には、CMOSインバータ回路C35からの反転論理信号S1'は、“L”レベルとなり、第1PMOSトランジスタP31はオン状態となり、逆に第1NMOSトランジスタN31はオフ状態となる。したがって、第1出力端子33は、第1PMOSトランジスタP31を介して、第1降圧電源回路C33bのノードBと接続される。上述のように、第1降圧電源回路C33bのノードBは、常に“H”レベル側の参照電位Vref_h程度の電位に保持されており、結果として、第1出力端子33からは、出力回路C33後段に“H”レベルの出力信号S2が出力される。

【0087】他方、内部回路C34からの論理信号が“L”レベルである場合には、第2PMOSトランジスタP32はオン状態となり、逆に第2NMOSトランジスタN32はオフ状態となる。したがって、第2出力端子34は、第2PMOSトランジスタP32を介して、第1降圧電源回路C33bのノードBと接続される。結果として、出力回路C33後段には、第2出力端子34から“H”レベルの出力信号S2'が出力される。

【0088】さらに、論理信号S1の論理レベルが“L”レベルである場合には、CMOSインバータ回路C35からの反転論理信号S1'は、“H”レベルである。したがって、第1PMOSトランジスタP31はオフ状態となり、NMOSトランジスタN31はオン状態となる。結果として、第1出力端子33は、第1NMOSトランジスタN31を介して第2降圧電源回路C33cのノードCに接続されて、出力回路C33後段には、第1出力端子33から“L”レベルの出力信号S2が出力される。

【0089】以上説明した本実施の形態にかかる出力回路C33の動作において、出力信号S2、S2'の“H”レベル電圧は、第1降圧電源回路C33bに印加する参照電位Vref_hを調整することによって、調節することができる。また、出力信号S2、S2'の“L”レベル電圧は、第2降圧電源回路C33cに印加す

50

19

る参照電位 V_{ref_1} を調整することによって、調節することができる。

【0090】ここで、本実施の形態にかかる出力回路C33及び出力回路C33を適用したインターフェース回路30において、出力信号S2, S2'の信号電圧について数値例を挙げながら具体的に説明する。

【0091】以下に説明するインターフェース回路30の設計例においては、例えば、集積回路IC31と集積回路IC32にはVddとして約3.3Vの電源を使用し、終端電位 V_t を約1.5Vに設定し、第1伝送線路T31及び第2伝送線路T32には共に50Ωの特性インピーダンスのマイクロストリップラインを使用する。また、例えば、出力回路C33の第1PMOSトランジスタP31及び第2PMOSトランジスタP32が約20Ωのオン抵抗を持つように設計されており、第1NMOSトランジスタN31及び第2NMOSトランジスタN32が約20Ωのオン抵抗を持つように設計される。尚、本設計例は単なる例示であり、他の様々な設計数値、例えばNMOSトランジスタのオン抵抗を約100ΩしたりPMOSトランジスタのオン抵抗を約130Ωとしたり等で設計することが可能であることは、いうまでもない。

【0092】さらに、例えば、参照電位 V_{ref_h} は、約2.2Vに設定されており、参照電位 V_{ref_l} は、約0.8Vに設定される。さらにまた、例えば、バイアス電圧制御回路C36の所定のバイアス電圧 V_{g_h} とバイアス電圧制御回路C37の所定のバイアス電圧 V_{g_l} とは、共に1.6Vになるように設計される。また、第3PMOSトランジスタP33は、ゲート端子に所定のバイアス電圧 V_{g_h} =約1.6Vが印加されたときにオン抵抗値が約110Ωになるように設計され、第3NMOSトランジスタN33は、ゲート端子に所定のバイアス電圧 V_{g_l} =約1.6Vが印加されたときにオン抵抗値が80Ωに成るよう設計される。

【0093】かかる条件において、出力回路C33が、設計通りに製造されるとともに設定条件通りの電源電圧及び周囲温度で使用された場合、第3PMOSトランジスタP33のドレイン端子の電位、すなわちノードBの電位は、約2.2Vとなる。また、出力信号S1, S1'の信号電圧は、"H"レベルで約2.0Vとなり、"L"レベルで約1.0Vとなる。しかし、実際にプロセスの仕上がりのばらつき、電源電圧の変動や周囲温度の変化等の環境変化により、出力回路C36の各トランジスタのオン抵抗が所定の値からばらつくことは避けられない。

【0094】第1PMOSトランジスタP31、第2PMOSトランジスタP32、及び第3PMOSトランジスタP33のオン抵抗がばらついた場合、出力信号S2, S2'の" H"レベルの信号電圧は、所定の電圧=2.0Vからはずれ、第3PMOSトランジスタP33

20

のドレインの電位も、一時的に所定の電位=2.2Vからはずれる。

【0095】例えば、第1PMOSトランジスタP31、第2PMOSトランジスタP32、及び第3PMOSトランジスタP33のオン抵抗がそれぞれの所定の値よりも小さくなつたとする。かかる場合、出力電圧S2, S2'の" H"レベル電圧は、2.0Vよりも高くなり、第3PMOSトランジスタP33のドレイン端子の電位は、一時的に2.2Vよりも高くなる。

【0096】したがつて、バイアス電圧制御回路C36のフィードバック入力端子37の入力電圧が高くなるので、出力端子38からの出力電圧も高くなる。結果として、第3PMOSトランジスタP33のゲート端子に印加されるバイアスが小さくなりオン抵抗は大きくなる。結局、PMOSトランジスタP33のドレイン端子の電位は、所定の値である約2.2Vに保たれて、出力信号S2, S2'の" H"レベル電圧を2.0Vに近づけることができる。

【0097】また、第1PMOSトランジスタP31、第2PMOSトランジスタP32、及び第3PMOSトランジスタP33のオン抵抗がそれぞれの所定の値よりも大きくなつたとする。かかる場合、出力信号S2, S2'の" H"レベル電圧は、2.0Vよりも低くなり、第3PMOSトランジスタP33のドレイン端子の電位は、一時的に2.2Vよりも低くなる。

【0098】したがつて、バイアス電圧制御回路C36のフィードバック入力端子37への入力電圧が低くなるので、出力端子38からの出力電圧も低くなる。結果として、第3PMOSトランジスタP33のゲート端子のバイアスが大きくなりオン抵抗は小さくなる。結局、第3PMOSトランジスタP33のドレイン端子の電位は、所定の値約2.2Vに保たれ、出力信号S2, S2'の" H"レベル電圧を2.0Vに近づけることができる。

【0099】同様に、第1NMOSトランジスタN31、第2NMOSトランジスタN32、及び第3NMOSトランジスタN33のオン抵抗がばらついた場合、出力信号S2, S2'の" L"レベル電圧は、設計電圧である約1.0Vからはずれ、第3NMOSトランジスタN33のドレイン端子の電位も、所定の電位である約0.8Vからはずれる。

【0100】例えば、第1NMOSトランジスタN31、第2NMOSトランジスタN32、及び第3NMOSトランジスタN33のオン抵抗がそれぞれの所定の値よりも小さくなつたとする。かかる場合、出力信号S2, S2'の" L"レベル電圧は、1.0Vよりも低くなり、第3NMOSトランジスタN33のドレイン端子の電位は、0.8Vよりも低くなる。

【0101】したがつて、バイアス電圧制御回路C37のフィードバック入力端子310の入力電圧が低くなる

21

ので、出力端子311の出力電圧も低くなる。結果として、第3NMOSトランジスタN33のゲート端子のバイアス電圧が小さくなり、オン抵抗は大きくなる。結局、第3NMOSトランジスタN33のドレイン端子の電位が所定値の約0.8Vに保たれ、出力信号S2, S2'の”L”レベル電圧を、1.0Vに近づけることができる。

【0102】また、第1NMOSトランジスタN31、第2NMOSトランジスタN32、及び第3NMOSトランジスタN33のオン抵抗がそれぞれの所定の値よりも大きくなったとする。かかる場合、出力信号S2, S2'の”L”レベル電圧は、1.0Vよりも高くなり、第3NMOSトランジスタN33のドレイン端子の電位は一時的に0.8Vよりも高くなる。

【0103】したがって、バイアス電圧制御回路C37のフィードバック入力端子310の入力電圧が高くなるので、出力端子311からの出力電圧も高くなる。結果として、第3NMOSトランジスタN33のゲート端子のバイアスが大きくなり、オン抵抗は小さくなる。結局、第3NMOSトランジスタN33のドレイン端子の電位は、設計値の約0.8Vに一定に保たれ、出力信号S2, S2'の”L”レベル電圧を1.0Vに近づけることができる。

【0104】ここで、前述の様に、入力端子35の論理レベルが”H”レベルの時と”L”レベルの時とで、第3NMOSトランジスタN33のドレイン端子の電位は同じなので、入力端子35の論理レベルが”H”レベルの時と”L”レベルの時とで、バイアス電圧制御回路C36からの出力電圧は同じ、つまり、第3NMOSトランジスタN33のオン抵抗は同じである。

【0105】(第1の実施の形態の効果)

(第1の効果)以上説明したように本実施の形態にかかる出力回路では、出力信号の信号電圧が、降圧電源回路のトランジスタの制御されたオン抵抗値とブッシュ・ブル部のトランジスタの制御されていないオン抵抗値と伝送路の終端抵抗のインピーダンスとの比、及び、電源電位と終端電位との電位差によって決定される。すなわち、トランジスタの製造が完全には設計通りに行かなかった場合でも、降圧電源回路のトランジスタのオン抵抗値を制御することによって、出力信号の信号電圧をほぼ設計値に制御することができる。

【0106】したがって、例えばプロセス仕上がりのばらつき・電源電圧の変動・周囲温度の変化等があっても、設計通りに変動が小さい電圧の出力信号を出力することができる。結果として、本実施の形態によれば、適用されるインターフェース回路の入力回路の感度に対しても一定の余裕を得ることが可能で、雑音による誤動作を起こし難い、出力回路を提供することができる。

【0107】(第2の効果)また、本実施の形態によれば、出力信号の電圧が設計通りの値ではなく一定で変動し

22

ない出力回路を提供することができるため、LSIの出荷時の検査で不良品の発生を低減することができる。したがって、歩留まりが高く経済的に有利な出力回路及びそれを適用したLSIを提供することができる。

【0108】(第3の効果)さらに、本実施の形態にかかる出力回路においては、集積回路の内部回路から送られてくる送信信号の論理レベルにかかわらず、二つの降圧電源回路からは、常に一定の電位がブッシュ・ブル部に供給される。このことは、送信信号の論理が変わり出力回路がスイッチング動作をする時に、出力回路の2の出力端子の出力電圧がオーバーシュートせずに遷移することに繋がる。結果として、本実施の形態によれば、雑音が少ない出力信号を出力する出力回路を提供することができる。

【0109】(第4の効果)さらにまた、本実施の形態にかかる出力回路の降圧電源回路においては、フィードバックした降圧用のトランジスタのドレイン電位を、参照電位と比較して降圧電源回路からの供給電位を制御している。したがって、出力信号にLSI外部から雑音が流れ込んだとしても、かかる雑音の影響がバイアス電圧制御回路に及ばない。

【0110】これに対して、出力回路からの出力信号をフィードバックして、降圧用のトランジスタのオン抵抗を制御する方法も考えられる。しかし、かかる方法では、LSI外部から出力信号への雑音が、バイアス電圧制御回路に入力されるおそれがあり、降圧用のトランジスタのオン抵抗制御の精度が劣化する可能性がある。

【0111】(第2の実施の形態)次に、第2の形態について、図5～図7を参考しながら説明する。なお、図5は、本実施の形態にかかる出力回路C33'の概略的な回路図であり、図6は、出力回路C33'に適用可能な制御回路C330の概略的な回路図であり、図7は、出力回路C33'に適用可能な制御回路C340の概略的な回路図である。

【0112】図5に示すように、本実施の形態にかかる出力回路C33'は、図1に示す上記第1の実施の形態にかかる出力回路C33においてバイアス電圧制御回路C36に代えてバイアス電圧制御回路C36'を適用しバイアス電圧制御回路C37に代えてバイアス電圧制御回路C37'を適用した構成となっている。

【0113】ここで、バイアス電圧制御回路C36'は、図1に示すバイアス電圧制御回路C36にパワーダウン(以下、「PD」という。)入力端子(以下、「PD入力端子」という。)312を設けたものである。本実施の形態にかかる出力回路C33'において、PD入力端子312は、内部回路C34に接続される。かかる構成によって、バイアス電圧制御回路C36'の動作状態は、内部回路C34からPD入力端子312に入力される信号の論理に応じて、通常の動作状態とPD状態とのどちらかに制御することができる。なお、PD状態と

23

は、動作電流が流れない状態、即ち電力を消費しない状態をいう。但し、PD状態においては、バイアス電圧制御回路C36'は、その機能を果たさない。

【0114】かかるバイアス電圧制御回路C36'としては、例えば、図6に示すバイアス電圧制御回路C330を適用することができる。図6に示すバイアス電圧制御回路C330は、図3に示すバイアス電圧制御回路C53と比較して、PD入力端子339がNMOSトランジスタN333のゲート電極に接続されていることが相違するのみで他の回路構成は実質的に同一である。PD入力端子339に”H”レベルの論理信号が入力されている場合には、かかるバイアス制御回路C330は通常の動作状態にある。一方、PD入力端子339に”L”レベルの論理信号が入力されている場合には、バイアス制御回路C330はPD状態にある。

【0115】また、バイアス電圧制御回路C37'は、図1に示すバイアス電圧制御回路C37にPD入力端子313を設けたものである。本実施の形態にかかる出力回路C33'において、PD入力端子313は、内部回路C34に接続される。かかる構成によって、バイアス電圧制御回路C37'は、内部回路C34からPD入力端子313に入力される信号の論理に応じて、通常の動作状態とPD状態とのどちらかに制御することができる。

【0116】かかるバイアス電圧制御回路C37'としては、例えば、図7に示すバイアス電圧制御回路C340を適用することができる。バイアス電圧制御回路C340は、図4に示すバイアス電圧制御回路C63と比較すると、PD入力端子349がインバータ回路C341の入力端子に接続されるとともにインバータ回路C341の出力端子がPMOSトランジスタP343のゲート電極に接続されていることが相違するのみで、他の構成は同一である。PD入力端子349に”H”レベルの論理信号が入力される場合には、バイアス電圧制御回路C340は、通常の動作状態にある。PD入力端子349に”L”レベルの論理信号が入力されている場合には、バイアス電圧制御回路C340はPD状態にある。

【0117】(本実施の形態の効果)以上説明した本実施の形態では、簡単な論理回路とPD入力端子とを設けるだけで、バイアス電圧制御回路C36'とバイアス電圧制御回路C37'とのDC電流を流れなくすることができるので、無駄な電力消費をカットすることができる。これに対し、図1に示す上記第1の実施の形態では、出力回路C33が動作していないときにも、バイアス電圧制御回路C36とバイアス電圧制御回路C37にはDC電流が流れるため、無駄な消費電力を消費する。なお、上記第1の実施の形態によって得られる第1～第4の効果は、本実施の形態においても得ることができる。

【0118】(第3の実施の形態)次に、第3の実施の

24

形態について、図8を参照しながら説明する。なお、図8は、本実施の形態にかかる出力回路C73及び出力回路C73を適用したインタフェース回路70の概略的な回路図である。図8に示すように、本実施の形態にかかる出力回路C73は、帰還電圧形成手段に相当する回路を構成するPMOSトランジスタP74、終端抵抗R73、R74及びNMOSトランジスタN74を備えている点が、図1に示す上記第1の実施の形態にかかる出力回路C33と相違する。

【0119】(出力回路C73の回路構成)本実施の形態にかかる出力回路C73において、PMOSトランジスタP74のソース端子は、第1降圧電源回路C73bのノードB2を介して、第3PMOSトランジスタP73のドレイン端子に接続されている。また、PMOSトランジスタP74のドレイン端子は、終端抵抗R73を介して終端電位Vtに終端されている。さらに、PMOSトランジスタP74のゲート端子には約0Vの電圧が与えられており、したがって、PMOSトランジスタP74は常時オン状態である。

【0120】また、NMOSトランジスタN74のソース端子は、第2降圧電源回路C73cのノードC2を介して、第3NMOSトランジスタN73のドレイン端子に接続されている。また、NMOSトランジスタN74のドレイン端子は、終端抵抗R74を介して終端電位Vtに終端されている。さらに、NMOSトランジスタN74のゲート端子には、電源電圧Vddが与えられており、したがって、NMOSトランジスタN74は、PMOSトランジスタP74同様、常時オン状態である。

【0121】かかる出力回路C73の第1降圧電源回路C73bにおいて、バイアス電圧制御回路C76の入力端子77は、PMOSトランジスタP74のドレイン端子に接続されている。また、第2降圧電源回路C73cにおいて、バイアス電圧制御回路C77の入力端子710は、NMOSトランジスタN74のドレイン端子に接続される。

【0122】本実施の形態にかかる出力回路C73において、他の回路構成は、図1に示す上記第1の実施の形態にかかる出力回路C33と略同一である。したがって、バイアス電圧制御回路C76には、図1に示すバイアス電圧制御回路C36と略同一の構成の回路を使用することができ、バイアス電圧制御回路C77には、図1に示すバイアス電圧制御回路C37と略同一の構成の回路を使用できる。また、入力回路C71もC31と同じ構成の回路を使用できる。

【0123】(出力回路C73の回路動作)出力回路C73において、PMOSトランジスタP74は、PMOSトランジスタP71、P72と同一構造に設計されており、それぞれのオン抵抗は等しくなるように設計されている。同様に、NMOSトランジスタN74は、NMOSトランジスタN71、N72と同一構造に設計され

50 OSトランジスタN71、N72と同一構造に設計され

25

ており、それぞれのオン抵抗は等しくなるように設計されている。

【0124】さらにまた、終端抵抗R73, R74の抵抗値は、終端抵抗R71, R72の抵抗値とほぼ等しい。したがって、PMOSトランジスタP74のドレン端子の電位は、出力端子73, 74の' H' レベルの出力電圧とほぼ等しい。また、NMOSトランジスタN74のドレン端子の電位は出力端子73, 74の' L' レベルの出力電圧とほぼ等しい。

【0125】出力回路C73の出力電圧の' H' レベルは、PMOSトランジスタP73のオン抵抗、PMOSトランジスタP71(又はPMOSトランジスタP72)のオン抵抗、PMOSトランジスタP74のオン抵抗、終端抵抗R71(又はR72)、終端抵抗R73の抵抗によって決まる。また、出力電圧の' L' レベルは、NMOSトランジスタN73のオン抵抗、NMOSトランジスタN72(又はNMOSトランジスタN71)のオン抵抗、NMOSトランジスタN74のオン抵抗、終端抵抗R72(又は終端抵抗R71)、終端抵抗R74の抵抗値によって決まる。

【0126】例えば、電源電圧 $V_{dd} = 3.3V$ 、終端電位 $V_t = 1.5V$ 、終端抵抗 $R71 = R72 = R73 = R74 = 50\Omega$ 、PMOSトランジスタP71, P72, P74のオン抵抗=20Ω、PMOSトランジスタP73のオン抵抗=55Ω、NMOSトランジスタN71, N72, N74のオン抵抗=20Ω、NMOSトランジスタN73のオン抵抗=40Ωに設計すれば、出力電圧の' H' レベル=2.0V、' L' レベル=1.0Vになり、上記第1の実施の形態において例示した出力電圧と同一になる。

【0127】参照電位 V_{ref_h} は、所定の出力電圧の' H' レベルと等しい電位(本例の場合は2.0V)にする。また、参照電位 V_{ref_l} は、所定の出力電圧の' L' レベルと等しい電位(本例の場合は1.0V)にする。バイアス電圧制御回路C76は、PMOSトランジスタP74のドレン端子の電位と参照電位 V_{ref_h} とを比較して、第3PMOSトランジスタP73のオン抵抗を制御している。また、バイアス電圧制御回路C77は、NMOSトランジスタN74のドレン端子の電位と参照電位 V_{ref_l} とを比較して、NMOSトランジスタN73のオン抵抗を制御している。

【0128】以上のように構成された本実施の形態にかかる出力回路C73において、他の回路動作は、図1に示す上記第1の実施の形態にかかる出力回路C33と略同一である。

【0129】(本実施の形態の効果)まず、本実施の形態において解決しようとしている課題を述べる。図1に示す上記第1の実施の形態にかかる出力回路C33においては、第3PMOSトランジスタP33のドレン端子の電位と第3NMOSトランジスタN33のドレン端

10

20

30

40

50

26

子の電位とは一定の電位に抑えることはできるものの、第1PMOSトランジスタP31及び第2PMOSトランジスタP32と、第1NMOSトランジスタN31及び第2NMOSトランジスタN32とのオン抵抗の変動が制御できることは課題として残されている。このため出力回路C33の出力電圧は、所定の出力電圧にある程度近づけることはできるが、完全には制御できない。

【0130】例えば、第1PMOSトランジスタP31(又は第2NMOSトランジスタP32)のオン抵抗が所定のオン抵抗(例えば20Ω)よりも小さい場合、バイアス制御回路C36の働きにより第3PMOSトランジスタP33のドレン端子の電位は一定の電位に制御することはできる。しかし、出力電圧S1, S1'は第1PMOSトランジスタP31(又は第2PMOSトランジスタP32)のオン抵抗と第1終端抵抗R31(又は第2終端抵抗R32)の分圧で決まるので、出力電圧の" H" レベルは、所定の出力電圧よりも高い電位になってしまう。

【0131】逆に、第1PMOSトランジスタP31(又は第2PMOSトランジスタP32)のオン抵抗が所定のオン抵抗(例えば20Ω)よりも大きい場合、バイアス制御回路C36の働きにより第3PMOSトランジスタP33のドレン端子の電位は一定の電位に制御することはできる。しかし、出力電圧は第1PMOSトランジスタP31(又は第2PMOSトランジスタP32)のオン抵抗と第1終端抵抗R31(又は第2終端抵抗R32)の分圧で決まるので、出力電圧の" H" レベルは、所定の出力電圧よりも低い電位になってしまう。

【0132】一方、本実施の形態にかかる出力回路C73では、バイアス電圧制御回路C76はPMOSトランジスタP74のドレン端子の電位と参照電位 V_{ref_h} とを比較して第3PMOSトランジスタP73のオン抵抗を制御している。また、バイアス電圧制御回路C77はNMOSトランジスタN74のドレン端子の電位と参照電位 V_{ref_l} とを比較して第3NMOSトランジスタN73のオン抵抗を制御している。

【0133】ここで、PMOSトランジスタP74のドレン端子の電位は、出力端子73, 74の' H' レベルの出力電圧と等しく、NMOSトランジスタN74のドレン端子の電位は出力端子73, 74の' L' レベルの出力電圧と等しくなるように設計されている。また、PMOSトランジスタP71, P72, P74は同じ構造に成るように製造されており、NMOSトランジスタN71, N72, N74は構造に成るように製造されているので、それぞれのオン抵抗のばらつきもほぼ同じにことができる。

【0134】つまり、PMOSトランジスタP74のドレン端子の電位を参照電位 V_{ref_h} と比較することで、出力電圧の' H' レベルが参照電位 V_{ref_h} にほぼ等しくなるようにできる。そしてNMOSトラン

27

ジスタN74のドレインの電位を参照電位Vref_1と比較することで、出力電圧の'L'レベルが参照電位Vref_1にはほぼ等しくなるように制御できる。

【0135】結局、本実施の形態によれば、第1の実施の形態と比べてより一層精度良く一定の出力電圧を出力することができ、集積回路の歩留まり向上及びイニシャルコストの削減に寄与することができる。なお、第1の実施の形態によって得られる第3及び第4の効果は、本実施の形態においても、そのまま得ることができる。

【0136】(第4の実施の形態) 次に、第4の実施の形態について、図9を参照しながら説明する。なお、図9は、本実施の形態にかかる出力回路C83及び出力回路C83を適用したインターフェース回路80の概略的な回路図である。

【0137】(出力回路C83の回路構成) 図8に示す上記第3の実施の形態にかかる出力回路C73では終端抵抗R73, R74をLS1の外部に実装しているのに対し、図9に示すように、本実施の形態にかかる出力回路C83では終端抵抗R83, R84をLS1に内蔵している。出力回路C83では、終端抵抗R83, R84は、第1終端抵抗R81, 第2終端抵抗R82と等しい抵抗値に設計する。終端抵抗R83, R84は、例えば、拡散抵抗等を使用して、LSI基板上に形成することができる。

【0138】出力回路C83の他の回路構成は上記第1～第4の実施の形態と略同一であり、バイアス電圧制御回路C86には、図1に示すバイアス電圧制御回路C36と同一構成の回路を使用することができる。また、バイアス電圧制御回路C87には、図1に示すバイアス電圧制御回路C37と同一構成の回路を使用することができる。また、入力回路C81には、図1に示す入力回路C31と同一構成の回路を使用することができる。

【0139】本実施の形態にかかる出力回路C83では、終端抵抗R83, R84をLS1に内蔵するので、基板上に終端抵抗を実装する必要がない。したがって、上記第3の実施の形態に比べて、実装面積の縮小化(基板を小さくできる)、基板の配線設計の容易化、及びイニシャルコストの削減(抵抗の費用が不要になる、基板の製造費用が安くなる)できる効果がある。また、第2の実施例で挙げた効果は、そのまま、本実施の形態でも得られる。

【0140】(第5の実施の形態) 次に、第5の実施の形態について、図10を参照しながら説明する。なお、図10は、本実施の形態にかかる出力回路C93及び出力回路C93を適用したインターフェース回路90の概略的な回路図である。

【0141】出力回路C93は、図1に示す上記第1の実施の形態にかかる出力回路C33において、第1PMOSトランジスタP31の代わりにNMOSトランジスタN94を用いるとともに第2PMOSトランジスタP

10

20

32の代わりにNMOSトランジスタN95を用いたものと略同一の構成を有している。NMOSトランジスタN94, N95のオン抵抗は、第1PMOSトランジスタP31, 第2PMOSトランジスタP32のオン抵抗に等しい。

【0142】また、本実施の形態にかかる出力回路C93は、実質的にPMOSトランジスタをNMOSトランジスタで置換したこと、出力論理の都合上、入力端子95が、CMOSインバータC95の入力端子とNMOSトランジスタN94のゲート端子及びNMOSトランジスタN92のゲート端子とに接続されている。また、CMOSインバータC95の出力端子が、NMOSトランジスタN91, N95のゲート端子に接続されている。

【0143】出力回路C93の他の回路構成及び回路動作は、図1に示す上記第1の実施の形態にかかる出力回路C33と略同一であるので、詳細な説明は省略する。なお、バイアス電圧制御回路C96には、図1に示すバイアス電圧制御回路C36と同一構成の回路を使用することができ、バイアス電圧制御回路C97には、図1に示すバイアス電圧制御回路C37と同一構成の回路を使用することができる。また、入力回路C91には、図1に示す入力回路C31と同一構成の回路を使用することができる。

【0144】以上説明した本実施の形態にかかる出力回路は、PMOSトランジスタの代わりにNMOSトランジスタを用いることで、トランジスタのサイズを小さくできる(一般に、PMOSトランジスタよりもNMOSトランジスタの方が移動度が大きく、また閾値が低いため、同じオン抵抗を得ようとする場合には、NMOSトランジスタの方がゲート幅を小さくできる。)。したがって、本実施の形態によれば、1Cの高集積化に有利な出力回路を提供することができる。なお、第1の実施の形態で挙げた効果は、そのまま、本実施の形態においても得られる。

【0145】(第6の実施の形態) 次に、第6の実施の形態について、図11を参照しながら説明する。なお、図11は、本実施の形態にかかる出力回路C103の概略的な回路図である。図11に示す本実施の形態にかかる出力回路C103と図10に示す上記第5の実施の形態にかかる出力回路C93との相違は、出力回路C103がNMOSトランジスタN106を備えていることである。本実施の形態の特徴にかかるNMOSトランジスタN106のソース端子とドレイン端子とは、出力回路C103の第1出力端子103と第2出力端子104とに接続されている。

【0146】なお、第1出力端子103側と第2出力端子104側とでは、どちらがソース端子でもドレイン端子でも構わない。出力回路C103において、NMOSトランジスタN106のゲートには、電源電圧Vddが

50

28

29

与えられており、NMOSトランジスタN106は常にオン状態である。更に、出力回路C103の製造時には、NMOSトランジスタN106は、NMOSトランジスタN101, N102, N103, N104, N105の付近に配置して、それぞれのプロセス仕上がりが同程度になるようとする。

【0147】出力回路C103の他の回路構成は図10に示す上記第5の実施の形態にかかる出力回路C93と略同一であるため、その詳細な説明は省略する。なお、バイアス電圧制御回路C106には、図10に示すバイアス電圧制御回路C96と同一構成の回路を使用することができます。また、バイアス電圧制御回路C107には、図10に示すバイアス電圧制御回路C97と同一構成の回路を使用することができます。さらに、入力回路C101には、図10に示す入力回路C91と同一構成の回路を使用することができます。

【0148】以上のように構成された出力回路C103においては、NMOSトランジスタNC106が第1出力端子103と第2出力端子104間に接続されているため、出力電圧の”H”レベルと”L”レベルとは、第1降圧電源回路C103bの第3PMOSトランジスタP103のオン抵抗、NMOSトランジスタN104（又はNMOSトランジスタN105）のオン抵抗、本実施の形態にかかるNMOSトランジスタN106のオン抵抗、第1終端抵抗R101及び第2終端抵抗R102、NMOSトランジスタN102（又はNMOSトランジスタN101）のオン抵抗、第2降圧電源回路C103cの第3NMOSトランジスタN103のオン抵抗の抵抗値によって決まる。

【0149】例えば、電源電圧Vdd=3.3V、終端電位Vt=1.5V、終端抵抗R101=R102=50Ω、NMOSトランジスタN104、N105のオン抵抗=10Ω、第3PMOSトランジスタP103のオン抵抗=55Ω、NMOSトランジスタN106のオン抵抗=100Ω、NMOSトランジスタN101、N102のオン抵抗=10Ω、第3NMOSトランジスタN103のオン抵抗=40Ωに設計すれば、出力電圧の”H”レベル=約2.0V、”L”レベル=約1.0Vとなり、図10に示す上記第5の実施の形態と同様の出力電圧を得ることができる。

【0150】また、参照電位Vref_hは、第3PMOSトランジスタP103のドレイン端子の所定の電位と等しい電位（例えば約2.2V）にする。また、参照電位Vref_lは、第3NMOSトランジスタN103のドレイン端子の所定の電位と等しい電位（例えば約0.8V）にする。その他の回路動作は、図10に示す上記第5の実施の形態にかかる出力回路C93と略同一であるため、その詳細な説明は省略する。

【0151】以上説明した本実施の形態が解決しようとしている上記第5の実施の形態の問題を述べる。それ

30

は、図10に示す出力回路C93においては、第3PMOSトランジスタP93のドレイン端子の電位と第3NMOSトランジスタN93のドレイン端子の電位とは一定の電位に抑えることはできるが、NMOSトランジスタN94、N95、N91、N92のオン抵抗の変動は制御できることである。このため出力回路C93の出力電圧は、所定の出力電圧にある程度近づけることはできるが、完全には制御できない。

【0152】図11に示すように、本実施の形態にかかる出力回路C103において、NMOSトランジスタN106は、出力回路C103の出力電圧の変動を抑え、より精度良く一定の出力電圧を出力する効果がある。以下、そのことについて説明する。

【0153】出力回路C103では、NMOSトランジスタN101、N102のオン抵抗が所定のオン抵抗（例えば約10Ω）よりも小さく、NMOSトランジスタN104、N105のオン抵抗が所定のオン抵抗（例えば約10Ω）よりも小さい場合、NMOSトランジスタN106のオン抵抗も所定オン抵抗（例えば約100Ω）よりも小さくなる。そのため、NMOSトランジスタN106のオン抵抗（Rn106という。）と第1終端抵抗R101、第2終端抵抗R102の合成抵抗={Rn106×(R101+R102)}／(Rn106+R101+R102)も所定の抵抗値よりも小さくなるので、NMOSトランジスタN106が無い場合に比べると出力電圧の変動は小さくできる。

【0154】次に、出力回路C103では、NMOSトランジスタN101、N102のオン抵抗が所定のオン抵抗（例えば約10Ω）よりも大きく、NMOSトランジスタN104、N105のオン抵抗が所定のオン抵抗（例えば約10Ω）よりも大きい場合、NMOSトランジスタN106のオン抵抗も所定オン抵抗（例えば100Ω）よりも大きくなる。そのため、NMOSトランジスタN106のオン抵抗と第1終端抵抗R101、第2終端抵抗R102の合成抵抗={Rn106×(R101+R102)}／(Rn106+R101+R102)も所定の抵抗値よりも大きくなるので、NMOSトランジスタN106が無い場合に比べると出力電圧の変動は小さくできる。

【0155】以上説明したことから、本実施の形態によれば、上記第5の実施の形態についての説明で挙げた第1の効果と同様の効果が得られることに加えて、NMOSトランジスタN106を備えることにより、より精度良く一定の出力電圧を出力することができる事が分かる。なお、上記第1の実施の形態についての説明で挙げた第3及び第4の効果は、本実施の形態においてもそのまま得られる。

【0156】（第7の実施の形態）次に、第7の実施の形態について、図12を参照しながら説明する。なお、図12は、本実施の形態にかかる出力回路C1103及

31

び出力回路C1103を適用したインターフェース回路1100の概略的な回路図である。図12に示すように、本実施の形態にかかる出力回路C1103が図1に示す上記第1の実施の形態にかかる出力回路C33と最も大きく相違する点は、出力回路C1103が入力端子1105の他にスリーステート制御信号の入力端子（以下、「スリーステート入力端子」という。）1107を持つことである。

【0157】さらに、本実施の形態にかかる出力回路C1103は、第1NAND回路C1108と第2NAND回路C1111と第1NOR回路C1109と第2NOR回路C1112と第1インバータ回路C1105と第2インバータ回路C1110とを備えていることも、図1に示す出力回路C33と相違する。本実施の形態にかかる出力回路C1103においては、これら論理素子の機能によって、スリーステート端子1107から“L”レベルの論理信号が入力された場合に、出力端子1103及び出力端子1104をハイインピーダンス状態にすることができる。

【0158】出力回路C1103において、第1インバータ回路C1105の入力端子は、入力端子1105に接続されており、第2インバータ回路C1110の入力端子はスリーステート入力端子1107に接続されている。

【0159】また、第1NAND回路C1108は、一つの入力端子が入力端子1105に接続されており、他の入力端子がスリーステート入力端子1107に接続されている。さらに、かかる第1NAND回路C1108の出力端子は、第1PMOSトランジスタP1101のゲート端子に接続されている。

【0160】また、第2NAND回路C1111は、一つの入力端子がスリーステート入力端子1107に接続されており、他の入力端子が第1インバータ回路C1105の出力端子に接続されている。さらに、かかる第2NAND回路C1111の出力端子は、第2PMOSトランジスタP1102のゲート端子に接続されている。

【0161】また、第1NOR回路C1109は、一つの入力端子が第1インバータ回路C1105の出力端子に接続されており、他の入力端子が第2インバータ回路C1110の出力端子に接続されている。かかる第1NOR回路C1109の出力端子は、第2NMOSトランジスタN1102のゲート端子に接続されている。

【0162】また、第2NOR回路C1112は、一つの入力端子が第2インバータ回路C1110の出力端子に接続されており、他の入力端子が入力端子1105に接続されている。かかる第2NOR回路C1112の出力端子は、第1NMOSトランジスタN1101のゲート端子に接続されている。

【0163】本実施の形態にかかる出力回路C1103において、他の回路構成は、図1に示す第1の実施の形

10

32

態にかかる出力回路C33と略同一である。したがって、出力回路C1103において、バイアス電圧制御回路C1106には、図1に示すバイアス電圧制御回路C36と同一構成の回路を使用することができ、バイアス電圧制御回路C1107には、図1に示すバイアス電圧制御回路C37と同一構成の回路を使用することができる。さらに、入力回路C1101には、図1に示す入力回路C31と同じ構成の回路を使用できる。また、スリーステート制御するための回路構成は、出力回路C1103以外の回路構成も可能である。

【0164】以上のように構成された出力回路C1103において、スリーステート入力端子1107にCMOS論理レベルの“H”レベル信号が入力されている場合には、入力信号端子1105の入力信号の論理に基づき、出力端子1103と出力端子1104とから“H”レベル電圧と“L”レベル電圧とが出力される。

【0165】スリーステート入力端子1107にCMOS論理レベルの“L”レベル信号が入力された場合は、入力信号端子1105の入力信号の論理に関わらずPMOSトランジスタP1101, P1102, NMOSトランジスタN1101, N1102はオフ状態になり、出力端子1103と出力端子1104とは共にハイ・インピーダンス状態になる。この時、出力回路に出力電流は流れない。

【0166】以上説明した本実施の形態が解決しようとしている上記第1の実施の形態についての課題を述べる。第1の実施の形態では、受信側の集積回路に接続された伝送線路端が終端抵抗を介して終端電位に終端されている。小振幅インターフェース回路において、終端電位は出力回路の電源電圧よりも低い電位であるため、出力回路の出力端子から終端電位へDC電流が流れる。かかるDC電流は出力回路が動作していない時にも流れため、無駄な電力消費が生じてしまう。しかも、かかるDC電流によって消費される電力は、出力回路全体の消費電力に対して大きな比率を占める。

【0167】本実施の形態にかかる出力回路では、簡単な論理回路とスリーステート入力端子を設けるだけで、出力回路が非動作時には出力端子をハイ・インピーダンス状態に状態固定して、DC電流を流れなくすることができます。これにより、信号伝送が行われていない場合の無駄な電力消費をカットすることができる。なお、第1の実施の形態で挙げた効果は、そのまま、本実施の形態においても得られる。

【0168】(第8の実施の形態)次に、第8の実施の形態について、図13及び図14を参照しながら説明する。なお、図13は、本実施の形態にかかる一の出力回路C1103'の概略的な回路図であり、図14は、本実施の形態にかかる他の出力回路C1103''の概略的な回路図である。

【0169】図13に示すように、出力回路C110

40

50

33

3'は、図12に示す上記第7の実施の形態にかかる出力回路C1103と比較すると、バイアス電圧制御回路C1106に代えてバイアス電圧制御回路C1106'が適用されるとともにバイアス電圧制御回路C1107に代えてバイアス電圧制御回路C1107'が適用された点が相違し、他の構成は実質的に同一である。

【0170】出力回路C1103'に適用されているバイアス電圧制御回路C1106'は、実質的に、図12に示すバイアス電圧制御回路C1106にPD入力端子1109を設けた構成を有する。本実施の形態にかかる出力回路C1103'において、バイアス電圧制御回路C1106'のPD入力端子1109は、集積回路IC32の内部回路C1104に接続される。かかるバイアス電圧制御回路C1106'としては、例えば、図6に示すバイアス電圧制御回路C330を適用することができる。

【0171】また、バイアス電圧制御回路C1107'は、実質的に、図12に示すバイアス電圧制御回路C1107にPD入力端子1110を設けた構成を有する。本実施の形態にかかる出力回路C1103'において、バイアス電圧制御回路C1107'のPD入力端子1110は、集積回路IC32の内部回路C1104に接続される。かかるバイアス電圧制御回路C1107'としては、例えば、図7に示すバイアス電圧制御回路C340を適用することができる。

【0172】以上のように構成された本実施の形態にかかる出力回路C1103'において、内部回路C1104からPD入力端子1109とPD入力端子1110とスリーステート入力端子1107と共に、"H"レベルの論理信号が入力される場合には、出力回路C1103'は通常の動作状態にある。一方、PD入力端子1109とPD入力端子1110とスリーステート入力端子1107と共に、"L"レベルの論理信号が入力される場合には、出力回路C1103'はハイ・インピーダンス状態にあり、かつバイアス電圧制御回路C1106'とバイアス電圧制御回路C1107'とは、PD状態にある。

【0173】さらに、本実施の形態においては、図14に示す出力回路C1103'の構成を採用することも可能である。図14に示すように、出力回路C1103'は、図13に示す出力回路C1103'において内部回路C1104に独立に接続されているPD制御端子1109とPD制御端子1110とをスリーステート入力端子1107に共通接続した構成を有している。

【0174】かかる構成を有する出力回路C1103'は、スリーステート入力端子1107に" H"レベルの論理信号が入力されている場合には、通常の動作状態にある。一方、スリーステート入力端子1107に" L"レベルの論理信号が入力されている場合には、出力回路C1103'はハイインピーダンス状態にあり、かつバ

10

20

30

40

50

34

イアス電圧制御回路C1106とバイアス電圧制御回路C1107とはPD状態にある。

【0175】(本実施の形態の効果)以上説明したように、本実施の形態によれば、スリーステート制御とPD制御との両方を実施することで、出力回路のDC電流は完全に流れなくなるので、無駄な電力消費を抑えることができると共に、LSIの出荷検査のために行われるISSC試験を効果的に行うことができる。ここで、ISSC試験とは、LSIの微少なリーク電流を測定することによって不良品を検査する手法であり、広く一般に用いられている。

【0176】これに対して、上記第7の実施の形態においては、スリーステート制御によって出力回路のDC出力電流を流れなくすることができるが、バイアス電圧制御回路にはDC電流が流れてしまう。かかるDC電流は、無駄な電力を消費するとともに、ISSC試験の妨げとなる。

【0177】さらに、本実施の形態において、図14に示す出力回路C1103'の構成を採用した場合、一本の共通入力端子(図14においてはスリーステート入力端子1107)でスリーステート制御とPD制御とを両方行うことができるため、LSIの内部回路からの制御が容易になる。

【0178】なお、第1の実施の形態によって得ることができる第1~第3の効果は、本実施の形態においても得ることができる。

【0179】(第9の実施の形態)次に、第9の実施の形態について、図15及び図16を参照しながら説明する。なお、図15は、本実施の形態にかかる出力回路C1203及び出力回路C1203を適用したインターフェース回路1200の概略的な回路図であり、図16は、出力回路C1203に適用可能な参照電位発生回路C1300についての概略的な回路図である。

【0180】図16に示すように、本実施の形態にかかる出力回路C1203は、図1に示す上記第1の実施の形態にかかる出力回路C33と、略同一の回路構成を有している。したがって、バイアス電圧制御回路C1206には、図1に示すバイアス電圧制御回路C36と同一構成の回路を使用することができる。また、バイアス電圧制御回路C1207には、図1に示すバイアス電圧制御回路C37と同一構成の回路を使用することができる。さらに、出力回路C1203を適用したインターフェース回路1200において、入力回路C1201には、図1に示す入力回路C31と同じ構成の回路を使用することができる。

【0181】ただし、本実施の形態においては、送信側の集積回路IC1202内部に参照電位発生回路C1208が内蔵されており、かかる点が、2種類の参照電位Vref_hとVref_lとを集積回路IC32外部から供給している上記第1の実施の形態とは相違する。

35

本実施の形態にかかる出力回路では、参照電位発生回路C1208の2つの出力端子は、それぞれバイアス電圧制御回路C1206の参照電位入力端子1206と、バイアス電圧制御回路C1207の参照電位入力端子1210とに別々に接続されている。かかる構成によって、バイアス電圧制御回路C1206とバイアス電圧制御回路C1207への参照電位の付与が実現されている。

【0182】図16には、参照電位発生回路C1208の一例として、回路1300を示す。かかる回路1300においては、抵抗R1301と抵抗R1302と抵抗R1303とが、電源電位VddとGNDとの間に、直列に順次接続されている。かかる回路1300は、電源電圧Vddを抵抗R1301と抵抗R1302と抵抗R1303とで分圧して、出力端子1301と出力端子1302とに参照電位を発生させている。

【0183】集積回路IC1202に適用する場合、かかる回路1300は、出力端子1301がバイアス電圧制御回路C1206の参照電位入力端子1206に接続され、出力端子1302がバイアス電圧制御回路C1207の参照電位入力端子1209に接続される。ここで、抵抗R1301、抵抗R1302、抵抗R1303は、例えばシリコン基盤に高濃度の不純物をドープした高濃度不純物領域を使用して製造することができる。

【0184】なお、参照電位発生回路C1208には、図16に示す回路1300以外の回路構成を適用できることは言うまでもない。図16に示す回路1300は、非常に簡便な回路構成であるという利点はあるが、反面、生成される参照電位の十分な精度を得ることは容易ではない。もっと精度の良い参照電位を生成すれば、出力回路C1203における出力電圧の制御の精度が更に向上する。

【0185】以上説明した本実施の形態では、参照電位発生回路を集積回路化して集積回路IC1202に内蔵しているので、基板上での実装面積を省き、さらに、基板上の参照電位発生回路のコストを省くことができる。

【0186】また、LS1に外部から参照電位を与えるなら、外部電位の印加用に専用のLS1ピンを設ける必要がある。参照電位の供給ピンが増えると、ESD等の信頼性の対策が複雑化する。本実施の形態では参照電位発生回路を内蔵しているので、上記第1の実施の形態に比べてピン数の低減、信頼性の対策が不要になる。これは、ICの設計を著しく簡便にする。なお、第1の実施の形態で挙げた効果は、そのまま、本実施の形態でも得られる。

【0187】(第10の実施の形態) 次に、本発明の第10の実施の形態について、図17を参照しながら説明する。なお、図17は、本実施の形態にかかる出力回路C1403の概略的な回路図である。かかる出力回路C1403は、CTT以外の小振幅インターフェース回路、特に、LVDSインターフェース回路への適用が有効な出

10

力回路である。

【0188】図17に示すように、本実施の形態にかかる出力回路C1403において、プッシュ・プル部C1403aは、スリーステート端子1407からの論理信号によってスリーステート制御される。かかる点は、図12に示す上記第7の実施の形態にかかる出力回路C1103と同一である。さらに、プッシュ・プル部C1403aは、出力信号形成用の4つのNMOSトランジスタN1401、N1402、N1404、N1405を備えている。かかる点は、図10に示す上記第5の実施の形態にかかる出力回路C93と同一である。

【0189】さらにまた、プッシュ・プル部C1403aは、出力端子1403にソース端子(又はドレイン端子)が接続され第2出力端子1404にドレイン端子(又はソース端子)が接続され、出力信号の設計値からのずれを抑制するNMOSトランジスタN1406を備えている。かかる点は、上記図11に示す上記第6の実施の形態にかかる出力回路C103と同一である。ただし、本実施の形態にかかる出力回路C1403においては、NMOSトランジスタN1406のゲート端子がスリーステート入力端子1407に接続されている。かかる点は、図11に示す出力回路C103とは相違する。

【0190】また、本実施の形態にかかる出力回路C1403において、第1降圧電源回路C1403bと第2降圧電源回路C1403cとは、集積回路IC1402上に集積された参照電位発生回路C1408から送られる参照電位に基づいて制御される。かかる点は、図15に示す上記第9の実施の形態にかかる出力回路C1203と同一である。

【0191】図17に示すLVDSに適合したインターフェース回路1400において、かかる出力回路C1403の出力端子1403、1404と入力回路C1401の入力端子1401、1402とは、伝送線路T1401、T1402によって1対1接続されている。インターフェース回路1400において、かかる伝送線路T1401と伝送線路T1402とは、入力回路C1401側に接続された一端同士が外付け抵抗R1401によって相互に接続されている。かかる伝送線路T1401、T1402の終端の仕方は、上記第1～第9の実施の形態にかかる出力回路を適用したいずれのインターフェース回路とも相違する。

【0192】なお、本実施の形態にかかる出力回路C1403において、バイアス電圧制御回路C1406とバイアス電圧制御回路C1407とには、例えば、図3に示す回路C53と図4に示す回路C63とを適用することができる。さらに、参照電位発生回路C1408には、例えば、図16に示す回路C1300を適用することができる。さらにまた、出力回路C1403において、出力電圧の“H”レベルと“L”レベルとは、PMOSトランジスタP1401のオン抵抗と、NMOSト

36

50

37

ランジスタN1404(又はN1405)のオン抵抗と、NMOSトランジスタN1406のオン抵抗と抵抗R1401の合成抵抗と、NMOSトランジスタN1402(又はN1401)のオン抵抗と、NMOSトランジスタN1403のオン抵抗の分圧で決まる。また、インターフェース回路1400において、外付け抵抗R1401は、伝送線路T1401、T1402を終端してインピーダンス整合するためのものであり、例えば約100Ωの抵抗値のものを適用することができる。

【0193】(第11の実施の形態) 次に、第11の実施の形態について、図18を参照しながら説明する。なお、図18は、本実施の形態にかかるマクロセルM1501、M1502、M1503を適用したLSIチップIC1501の概略的な回路図である。図18において、本実施の形態にかかるマクロセルM1501、M1502、M1503は、図15に示す上記第9の実施の形態にかかる入力回路C2130がマクロセル化された構成になっている。

【0194】実際に本実施の形態にかかるマクロセルM1501、M1502、M1503を使用してLSIチップIC1501を設計する際には、それぞれの入力端子1505を内部回路C1501に接続する。さらに、マクロセルM1501、M1502、M1503それぞれの出力端子1503、1504がLSIチップIC1501の出力ピンに接続される。かかる構成においては、LSIチップIC1501上で、マクロセルM1501、M1502、M1503それが、入力回路C2180の機能を果たす。

【0195】以上説明したように、本実施の形態によれば、出力回路をマクロセル化しておくことで、自動レイアウトCAD(Computer Aided Design)ツールを使用してLSIチップ設計を行うことができる。したがって、LSIチップ設計のTAT(Turn Around Times)を大幅に短縮できる。なお、第11の実施の形態を、第1の実施の形態にかかる出力回路C33、第2の実施の形態にかかる出力回路C33'、第3の実施の形態にかかる出力回路C73、第4の実施の形態にかかる出力回路C83、第5の実施の形態にかかる出力回路C93、第6の実施の形態にかかる出力回路C103、第7の実施の形態にかかる出力回路C1103、第8の実施の形態にかかる出力回路C1103'若しくは出力回路C1103''、第9の実施の形態にかかる出力回路C1203、又は第10の実施の形態にかかる出力回路C1403のいずれに適用しても上記の効果が得られる。

【0196】(第12の実施の形態) 次に、第12の実施の形態について、図19～図27を参照しながら説明する。なお、図19は、本実施の形態にかかる入力回路C2080の概略的な回路図であり、図20(a)は、以下の説明で入力回路C2080と比較する入力回路C

10

38

2010の回路図であり、図20(b)は、以下の説明で入力回路C2080と比較する他の入力回路C2020の回路図である。また、図21は、入力回路C2080を適用可能な不平衡伝送型のインターフェース回路10の概略的な回路図であり、図22は、入力回路C2080を適用可能な平衡伝送型のインターフェース回路20の概略的な回路図である。さらに、図23は、入力回路C2010の回路動作についての説明図であり、図24は、入力回路C2010の他の回路動作についての説明図である。さらにまた、図25は、入力回路C2080の回路動作についてのシミュレーション結果の説明図である。図26は、入力回路C2010についてのシミュレーション結果図であり、図27は、入力回路C2020についてのシミュレーション結果図である。

【0197】図19に示すように、本実施の形態にかかる入力回路C2080の構成は、図20(a)に示す入力回路C2010に適用された差動アンプC2011と図20(b)に示す入力回路C2020に適用された差動アンプC2021とを組み合わせた構成と、略同一である。そこで、本実施の形態にかかる入力回路C2080についての詳細な説明を行う前に、図20(a)に示す入力回路C2010と図20(b)とについて説明する。

【0198】(入力回路C2010の回路構成) 図20(a)に示すように、入力回路C2010は、差動アンプC2011とCMOSインバータ回路C2012とから構成されており、第1入力端子2011と第2入力端子2012と出力端子2013とを有している。

【0199】入力回路C2010を構成する差動アンプC2011は、差動入力用の第1NMOSトランジスタN2011及び第2NMOSトランジスタN2012と、カレントミラー形負荷である第1PMOSトランジスタP2011及び第2PMOSトランジスタP2012と、第1NMOSトランジスタN2011及び第2NMOSトランジスタN2012のソース電位制御に用いる第3NMOSトランジスタN2013とから、構成された差動増幅回路である。

【0200】入力回路C2010において、かかる差動アンプC2011の出力端子2014には、CMOSインバータ回路C2012の入力端子が接続されている。また、かかる差動アンプC2011を構成する第1NMOSトランジスタN2011のゲート端子には、入力回路C2010の第1入力端子2011が接続されている。さらに、第2NMOSトランジスタN2012のゲート端子には、第2入力端子2012が接続されている。また、入力回路C2010において、CMOSインバータ回路C2012の出力端子は、出力端子2013に接続される。

【0201】さらに、入力回路C2010の出力端子2013は、LSIの内部回路に接続される。入力回路C

50

2010を例えば図22に示す平衡伝送型のインターフェース回路20に入力回路C21に代えて適用する場合には、出力端子2013は内部回路C22の入力端子に接続される。また、入力回路C2010を例えば図21に示す不平衡伝送型のインターフェース回路10に入力回路C11に代えて適用する場合には、出力端子2013は内部回路C12に接続される。

【0202】(入力回路C2010の回路動作)以上のように構成された入力回路C2010の回路動作について、図20と図23及び図24とを参照しながら説明する。なお、図23は、入力回路C2010を不平衡伝送型のインターフェース回路に適用した場合の回路動作についての説明図であり、図24は、入力回路C2010を平衡伝送型のインターフェース回路に適用した場合の回路動作についての説明図である。

【0203】図23(a)に示すように、不平衡伝送型のインターフェース回路に適用した場合には、入力回路C2010の第1入力端子2011は、基準電位Vrefに接続される。一方、入力回路C2010の第2入力端子2012は、小振幅の入力信号が伝搬してくる伝送路と接続される。入力回路C2010は、差動アンプC2011の機能によって、伝送路を伝搬してきた入力信号の電位を基準電位Vrefと比較して該入力信号の論理を識別し、「H」レベル又は「L」レベルの出力信号を出力端子2013に出力する。

【0204】例えば、第1入力端子2011に参照電位Vrefとして約1.5Vが接続され、第2入力端子2012に「H」レベルが1.7Vで「L」レベルが1.3Vの入力信号が入力され、電源電位が約3.3Vに設定された場合について考察する。なお、約1.5Vの参照電位は、CTTのtypicalな電位である。また、「H」レベルの入力信号の電位が約1.7Vというのは、CTTのハイレベル入力電圧のminimum値を想定している。さらに、「L」レベルの入力信号の電位が約1.3Vというのは、CTTのロウレベル入力電圧のmaximum値を想定している。かかる設定条件において、差動アンプC2011では、入力信号の信号電位と基準電位とが1~2V程度の振幅に増幅されて、出力端子2014から出力される。かかる差動アンプC2011からの出力電圧は、例えば、「H」レベルが約2.5Vであり、「L」レベルが約0.5Vである。

【0205】出力端子2014から出力される出力信号の論理は、第1入力端子2011の電位(約1.5V)と第2入力端子2012の電位とを比較して決められる。第2入力端子2012に「H」レベルの入力信号(約1.7V)が入力された場合、出力端子2014からは「L」レベル(約0.5V)の出力信号が出力される。一方、第2入力端子2012の電位が「L」レベル(約1.4V)の場合、出力端子2014からは「H」レベル(約2.5V)の信号が出力される。

【0206】入力回路C2010において、差動アンプC2011の出力端子2014から出力された信号は、更に、CMOSインバータ回路C2012によって、「H」レベル電位が約3.3Vで「L」レベルが約0VのCMOSレベルの出力信号に増幅されて、入力回路C2010の出力端子2013から出力される。なお、差動アンプC2011の出力端子2014から出力される信号と入力回路C2010の出力端子2013からの出力信号とは、CMOSインバータ回路C12の機能によって、論理が反転する。

【0207】結果として、入力回路C2010においては、図23(b)にタイミングチャートを示す回路動作が行われることが理解できる。

【0208】また、図24(a)に示すように、入力回路C2010を平衡伝送のインターフェース回路に適用する場合には、第1入力端子2011と第2入力端子2012とに、それぞれ差動入力信号を入力する。図24(b)に示すように、かかる場合も、入力回路C2010においては、第1入力端子2011の電位と第2入力端子2012の電位とを比較して入力信号の論理を識別し、識別結果を差動アンプC11(図20(a))とCMOSインバータ回路C2012(図20(a))とで電源電位に等しい振幅に増幅する。結果として、出力端子2013からは、CMOSレベルの出力信号が出力される。

【0209】(入力回路C2020の回路構成)また、図20(b)に示すように、入力回路C2020は、差動アンプC2021とCMOSインバータ回路C2022とから構成されており、第1入力端子2021と第2入力端子2022と第1出力端子2023とを有している。

【0210】かかる入力回路C2020を構成する差動アンプC2021は、差動入力用の第1PMOSトランジスタP2021及び第2PMOSトランジスタP2022と、カレントミラー形負荷である第1NMOSトランジスタN2021及び第2NMOSトランジスタN2022と、第1PMOSトランジスタP2021及び第2PMOSトランジスタP2022のソース電位制御に用いる第3PMOSトランジスタP2023とから、構成された差動增幅回路である。

【0211】入力回路C2020において、かかる差動アンプC2021の第1PMOSトランジスタP2021のゲート端子には、第1入力端子2021が接続されている。また、差動アンプC2021の第2PMOSトランジスタP2022のゲート端子には、第2入力端子2022が接続されている。さらに、差動アンプC2021の出力端子2024には、CMOSインバータ回路C2022の入力端子が接続されている。また、入力回路C2020において、CMOSインバータ回路のC2022の出力端子は、入力回路C2020の第1出力端

41

子2023に接続されている。

【0212】さらに、入力回路C2020の出力端子2023は、LSIの内部回路に接続される。入力回路C2020を例えば図22に示す平衡伝送型のインターフェース回路20に入力回路C21に代えて適用する場合には、出力端子2023は内部回路C22の入力端子に接続される。また、入力回路C2020を例えば図21に示す不平衡伝送型のインターフェース回路10に入力回路C11に代えて適用する場合には、出力端子2023は内部回路C12に接続される。

【0213】以上説明した入力回路C2010と入力回路C2020とは、相互に略同一な回路動作によって2つの入力端子の電位差に比例する電気信号を出力するという点で共通する。そこで、入力回路C2020の回路動作の詳細については、入力回路C2010の動作を参照することによって説明を省略する。

【0214】他方、入力回路C2010と入力回路C2020とは、適用されている差動アンプの回路構成が異なるため、十分な出力を得ることができる入力信号の範囲が相違する。具体的には、入力回路C2010は、第1NMOSトランジスタN2011及び第2NMOSトランジスタN2012で入力信号を受信するため、入力信号が比較的高電位（電源電圧の中心付近から電源電位に近い電位）の場合に用いられる。一方、入力回路C2020は、第1PMOSトランジスタP2021及び第2PMOSトランジスタP2022で受信するため、入力信号が比較的低電位（電源電圧の中心付近からGND電位に近い電位）の場合に用いられる。

【0215】（入力回路C2080の回路構成）本実施の形態についての冒頭の説明でも述べたように、図19に示す本実施の形態にかかる差動アンプC2081の構成は、図20(a)に示す入力回路C2010に適用された差動アンプC2011と図20(b)に示す入力回路C2020に適用された差動アンプC2021とを組み合わせた構成と実質的に同一である。

【0216】差動アンプC2081において、第1組の差動アンプは、図20(a)に示す入力回路C2010に適用された差動アンプC2011と略同一の回路構成を有している。より詳細には、かかる第1組の差動アンプは、図19に示すように、カレントミラー形負荷であるPMOSトランジスタP2083、P2084と、差動入力用のNMOSトランジスタ対N2081、N2082と、NMOSトランジスタN2081、N2082のソース電位制御のために用いるNMOSトランジスタN2085とから構成されている。

【0217】また、差動アンプC2081を構成する第2組の差動アンプは、図20(b)に示す上記入力回路C2020に適用されている差動アンプC2021と略同一の回路構成を有している。より詳細には、かかる第2組の差動アンプは、図19に示すように、カレントミ

42

ラー形負荷であるNMOSトランジスタN2083、N2084と、差動入力用のPMOSトランジスタ対P2081、P2082と、PMOSトランジスタP2081、P2082のソース電位制御のために用いるPMOSトランジスタP2085とから構成されている。

【0218】差動アンプC2081において、PMOSトランジスタP2081のゲート端子とNMOSトランジスタN2081のゲート端子とは、差動アンプC2081の一つの入力端子に共通接続されている。また、P10 MOSトランジスタP2082のゲート端子とNMOSトランジスタN2082のゲート端子とは、差動アンプC2081の他の入力端子に共通接続されている。さらに、PMOSトランジスタP2082のドレイン端子とPMOSトランジスタP2084のドレイン端子とNMOSトランジスタN2082のドレイン端子とNMOSトランジスタN2084のドレイン端子とは、差動アンプC2081の出力端子2084に共通接続されている。

【0219】すなわち、差動アンプC2081は、第1組の差動アンプの入力部を形成する相互に対を成すPMOSトランジスタP2081、P2082と、第2組の差動アンプの入力部を形成する相互に対を成すNMOSトランジスタN2081、N2082とを備えており、PMOSトランジスタとNMOSトランジスタとの両方で、入力信号を受信できる回路構成になっている。

【0220】かかる差動アンプC2081が適用された入力回路C2080は、差動アンプC2081とCMOSインバータ回路C2082とから構成されており、入力端子2081及び入力端子2082と出力端子2083とを有している。入力回路C2080において、入力端子2081には、差動アンプC2081の一つの入力端子が接続されており、入力端子2082には、差動アンプC2081の他の入力端子に接続されている。

【0221】さらに、出力端子2083には、CMOSインバータ回路C2082の出力端子が接続されている。さらにもう、かかる出力端子2083は、入力回路C2080外部に配された不図示のLSIの内部回路に接続されている。また、入力回路C2080において、差動アンプC2081とCMOSインバータ回路C2082とは、差動アンプC2081の出力端子2084がCMOSインバータ回路C2082の入力端子に接続されることを介して、接続されている。

【0222】（入力回路C2080の回路動作）以上のようく構成された本実施の形態にかかる入力回路C2080に、入力端子2081と入力端子2082とのそれぞれから差動入力信号が入力されると、入力回路C2080は、入力端子2081の電位と入力端子2082の電位とを比較して入力信号の論理を識別し、電源電圧に等しい振幅に増幅された”H”レベル又は”L”レベル50 の出力信号を、出力端子2083から出力する。

43

【0223】かかる動作を行う本実施の形態にかかる入力回路C2080は、図20(a)に示す入力回路C2010及び図20(b)に示す入力回路C2020に比べて、より広い範囲の差動入力信号を受信可能である。以下に、入力回路C2080が、広い範囲の差動入力信号を受信できる原理について説明する。

【0224】まず、差動入力信号の電位が電源電位付近である場合には、入力回路C2080の第2組の差動アンプは受信不能であるが、入力回路C2080の第1組の差動アンプで受信可能である。また、差動入力信号の電位が電源電位とGND電位の中間である場合には、入力回路C2080の第1組の差動アンプと第2組の差動アンプとの両方で受信可能である。さらにまた、差動入力信号の電位がGND付近である場合には、入力回路C2080の第1組の差動アンプは受信不能であるが、入力回路C2080の第2組の差動アンプは受信可能である。

【0225】この様に、第1組の差動アンプと第2組の差動アンプとを組み合わせた差動アンプC2081を適用することによって、相互に受信不能な電圧範囲をカバーできるので、本実施の形態にかかる入力回路C2080は、広い範囲の差動入力信号を受信可能になるのである。

【0226】ここで、本実施の形態にかかる入力回路C2080の回路動作のシミュレーション結果について、図20に示す入力回路C2010及び入力回路C2020と比較して、図25と図26及び図27とを参照しながら説明する。なお、図25には、上述のように本実施の形態にかかる入力回路C2080についてのシミュレートした結果の例を示す。また、図26には、図20(a)に示す入力回路C2010についてのシミュレートした結果の例を示し、図27には、図20(b)に示す入力回路C2020についてのシミュレートした結果の例を示す。

【0227】より詳細には、図26には、図20(a)に示す入力端子2011、2012の入力信号波形と、差動アンプC2011の出力端子2014、出力端子2013の出力信号波形を示している。図26におけるシミュレーション条件は、電源電圧Vddが3.3Vであり、0.1Vの振幅を持つ156MHzの差動入力信号を入力端子2011、2012に入力するというものである。差動入力信号の中心電位Vicmを3.25V、2.4V、1.6V、0.8V、0.05Vと変化させたシミュレーション波形を、それぞれ図26(1)、(2)、(3)、(4)、(5)に示している。

【0228】図26によれば、出力端子2013の出力信号波形に着目すると、Vicm=3.25V、2.4V、1.6Vの場合はかろうじて動作しているが、Vicm=0.8Vの場合はもはや動作不良と言える状態で、Vicm=0.05Vの場合は動作していない。こ

44

れは、Vicm=0.2V、0.05Vの場合は、差動アンプC2011の出力端子2014は、次段のインバータ回路C2012を駆動するのに十分な信号を出力できていないためである。結果として、入力回路C2010は、入力差動信号の電位がGND電位付近の場合は動作できないことが確認できる。

【0229】図27には、図20(b)に示す入力端子2021、2022の入力信号波形と、差動アンプC2021の出力端子2024、出力端子2023の出力信号波形を示している。図27におけるシミュレーション条件は、電源電圧Vddが3.3Vであり、0.1Vの振幅を持つ156MHzの差動入力信号を入力端子2021、2022に入力するというものである。差動入力信号の中心電位Vicmを3.25V、2.4V、1.6V、0.8V、0.05Vと変化させたシミュレーション波形を、それぞれ図27(1)、(2)、(3)、(4)、(5)に示している。

【0230】図27によれば、出力端子23の出力信号波形に着目すると、Vicm=0.05V、0.8V、1.6Vの場合はかろうじて動作しているが、Vicm=2.4V、3.25Vの場合は、差動アンプC2021の出力端子2024は、次段のインバータ回路C2022を駆動するのに十分な信号を出力できていない。結果として、図20(b)に示す入力回路C2020は、入力差動信号の電位が電源電圧Vdd付近では動作できないことが確認できる。

【0231】図25には、本実施の形態にかかる入力回路C2080の回路動作をシミュレートした結果の例として、入力端子2081、2082の入力信号波形と、差動アンプC2081の出力端子2084、出力端子2083の出力信号波形を示している。図25におけるシミュレーション条件は、電源電圧Vddが3.3Vであり、0.1Vの振幅を持つ156MHzの差動入力信号を入力端子2081、2082に入力するというものである。差動入力信号の中心電位Vicmを3.25V、2.4V、1.6V、0.8V、0.05Vと変化させたシミュレーション波形を、それぞれ図25(1)、(2)、(3)、(4)、(5)に示している。

【0232】図25によれば、出力端子2083の出力信号波形に着目すると、Vicm=3.25V、2.4V、1.6V、0.8V、0.05Vの場合でも、動作していることが確認できる。これは、Vicm=3.25V、2.4V、1.6V、0.8V、0.05Vの場合でも差動アンプC2081の出力端子2084は、次段のインバータ回路C2082を駆動するのに十分な信号を出力できるためである。結果として、図19に示す本実施の形態にかかる入力回路C2080は、入力回路に比べて、広い範囲の差動入力信号を受信できることが確認できる。

【0233】(本実施の形態の効果)以上説明した様

45

に、本実施の形態においては、PMOSトランジスタ、NMOSトランジスタ両方で入力信号を受信できる差動アンプの回路構成にすることで、広い範囲の差動入力信号を受信できる入力回路を実現している。これによる効果を以下に述べる。

【0234】(第1の効果)まず、第1の効果は、入力回路はLVDSの仕様を満足することができない、あるいは非常に困難であるが、本実施の形態にかかる入力回路はLVDSの仕様を満足することができるということである。

【0235】(第2の効果)また、図20(a)又は図20(b)に示す入力回路は、単独では広い範囲の差動入力信号を受信することができないので、一つの入力回路で入力信号の電位の仕様が異なる様々なインターフェースに対応することは難しい。仕様に応じて入力回路を設計し直す必要が生じる場合もあり非経済的である。一方、本実施の形態にかかる入力回路は広い範囲の差動入力信号を受信することができるので、一つの入力回路で仕様が異なる様々なインターフェースに対応できる。これが、第2の効果である。

【0236】(第3の効果)また、LSIを組み込んだ回路においては、実際にプリント基板上にLSIを実装して使用する際に、LSI間に大きな電位差が存在する場合がある。さらに、LSI自身の動作により電源、GNDの電位が大きく変動することがある。したがって、図20(a)又は図20(b)に示す入力回路では、デューティ(duty)比が劣化する等、回路の特性劣化が起りやすく、最悪の場合誤動作を引き起こす可能性もあった(電源、GNDの電位が変動することは、差動入力信号の中心電位が変動することになるためである。)。

【0237】一方、本実施の形態にかかる入力回路は、電源、GNDの電位の変動に強く、より大きく電源、GNDの電位が変動しても正常に動作することができる。したがって、本実施の形態にかかる入力回路は、LSI間に大きな電位差が存在したり、或いは、LSI自身の動作により電源、GNDの電位が大きく変動したりした場合でも、正常に動作する。これが、第3の効果である。

【0238】(本実施の形態の課題)本実施の形態にかかる入力回路は、電源電位VddからGND電位までの広い範囲の入力差動信号を受信できる。しかし、図25に示す出力端子84のシミュレーション波形を観ると、 $V_{icm} = 2.4V, 1.6V, 0.8V$ の場合は、次段のCMOSインバータ回路を駆動するのに十分な振幅の信号を出力しているが、 $V_{icm} = 3.25V, 0.05V$ の場合はかろうじて駆動できている程度の振幅であり、性能的に余裕が無い状態である。したがって、プロセス変動、電源変動、GND変動等の影響を完全に回避して、差動アンプが次段のCMOSインバータを十分

46

駆動させるためには、差動アンプC81の増幅性能のより一層の向上が望まれる。

【0239】(第13の実施の形態)次に、第13の実施の形態について、図28を参照しながら説明する。なお、図28は、本実施の形態にかかる入力回路C2120の概略的な回路図である。図28に示すように、本実施の形態にかかる入力回路C2120は、1段目の差動アンプC2121の次段に2段目の差動アンプC2122を設けている点が、図19に示す上記第1の実施の形態にかかる入力回路C2080と大きく相違する。さらに、本実施の形態にかかる入力回路C2120は、1段目の差動アンプC2121の回路構成も、上記第1の実施の形態にかかる入力回路C2080の差動アンプC2081と相違する。

【0240】本実施の形態にかかる入力回路C2120において、1段目の差動アンプC2121は差動出力端子2125, 2126を有している。1段目の差動アンプC2121は、図19に示す差動アンプC2081を2つ組み合わせたものと略同一の回路構成、即ち4組の差動アンプから構成される。

【0241】1段目の差動アンプC2121は、PMOSトランジスタP2121, P2122, P2123, P2124, P2125, NMOSトランジスタN2121, N2122, N2123, N2124, N2125で構成される回路部(第1組及び第2組の差動アンプ部)は、図19に示す差動アンプC2081と略同一の回路構成である。

【0242】本実施の形態にかかる入力回路C2120は、かかる第1組及び第2組の差動アンプ部に、更に第3組及び第4組の差動アンプ部を追加した構成になっている。かかる第3組の差動アンプ部は、カレントミラー形負荷であるPMOSトランジスタP2128, P2129と、差動入力用のNMOSトランジスタ対N2126, N2127と、NMOSトランジスタN2126, N2127のソース電位制御のために用いるNMOSトランジスタN2125とから構成されている。

【0243】また、第4組の差動アンプ部は、カレントミラー形負荷であるNMOSトランジスタN128, N129と、差動入力用のPMOSトランジスタ対P126, P127と、PMOSトランジスタP126, P127のソース電位制御のために用いるPMOSトランジスタP125とから構成されている。

【0244】1段目の差動アンプC2121は、第1又は第2の入力端子に相当する2つの入力端子を持ち、その一つの入力端子には、PMOSトランジスタP2121, P2126, NMOSトランジスタN2121, N2126のゲート電極が共通接続されている。また、1段目の差動アンプC2121の他の入力端子には、PMOSトランジスタP2122, P2127, NMOSトランジスタN2122, N2127のゲート電極が共通

接続されている。1段目の差動アンプC2121の第1の入力端子と第2の入力端子とはそれぞれ入力回路C2120の入力端子2121, 2122に共通接続されている。

【0245】そして、PMOSトランジスタP2122のドレイン端子とPMOSトランジスタP2124のドレイン端子とNMOSトランジスタN2122のドレイン端子とNMOSトランジスタN2124のドレイン端子とが、1段目の差動アンプC2121の出力端子2126に共通接続されている。また、PMOSトランジスタP2126のドレイン端子とPMOSトランジスタP2128のドレイン端子とNMOSトランジスタN2126のドレイン端子とNMOSトランジスタN2128のドレイン端子とが、共通出力端子に相当する1段目の差動アンプC2121の出力端子2125に接続されている。

【0246】1段目の差動アンプC2121の出力端子2125, 2126は、2段目の差動アンプC2122の入力端子に接続されている。2段目の差動アンプC2122の出力端子2124は、CMOSインバータ回路C2123の入力端子に接続されている。さらに、CMOSインバータ回路C2123の出力端子は、入力回路C2120の出力端子2123に接続されている。ここで、2段目の差動アンプC2122は、図21に示す従来の差動アンプC2011と略同一の回路構成を有するが、これは2段目の差動アンプC2122の回路構成の一例であり、例えば、図20(b), 図19に示す差動アンプC2021, C2081等と略同一の回路構成を採用することが可能であることは言うまでもない。

【0247】以上のように構成された入力回路C2120において、入力端子2121, 2122に差動入力信号が入力されると、1段目の差動アンプC2121では入力端子2121と入力端子2122との電位が比較されて、その比較結果に基づいた論理値の差動信号が、出力端子2124と出力端子2125に出力される。ここで、出力端子2124と出力端子2125には、図25に示す出力端子2084のシミュレーション波形と同様に、電源電圧よりは小さい振幅の差動信号が出力されることになる。

【0248】出力端子2124と出力端子2125との差動信号は、上記第12の実施の形態の課題で述べたように、CMOSインバータ回路を駆動するにはぎりぎりの振幅であるが、2段目の差動アンプを駆動するには十分な差動振幅をもっている。しかも出力端子2124と出力端子2125の差動信号の中心電位は、例えば、電源電位VddからGND電位までの広い範囲にばらつくことは無く、ある程度狭い範囲にしかばらつかないので、2段目の差動アンプC2122は楽々と受信できる。

【0249】出力端子2124と出力端子2125の差 50 である。

動信号は2段目の差動アンプC2122で更に増幅されて出力端子2124に出力される。出力端子2124の信号はCMOSインバータ回路C2123を駆動するのに十分な振幅に増幅されているので、上記第12の実施の形態にかかる入力回路の課題は解決される。最後にCMOSインバータ回路C2123で“H”レベル=Vdd, “L”レベル=0Vの信号に増幅され、出力端子2123から、入力回路C2120外部に出力される。

【0250】以上説明した本実施の形態においても、上記第12の実施の形態における第1～第3の効果を、同様に得ることができる。加えて、本実施の形態によれば、上記第12の実施の形態の入力回路で残された課題をも解決できる。したがって、本実施の形態によれば、第12の実施の形態の入力回路に比べて、プロセス変動、電源変動、GND変動等の影響に強い提供することができる。すなわち、本実施の形態にかかる入力回路は、プロセス変動、電源変動、GND変動が大きくても正常に動作する。

【0251】(本実施の形態の課題) 本実施の形態にかかる入力回路C2120において、CMOSインバータ回路C2123は、例えば配線や内部回路等、入力回路C2120外部のLSI要素の負荷を駆動するのだが、その駆動力は小さく、必ずしも十分であるとは言えない。この理由は、通常、差動アンプC2122のCMOSインバータ回路C2123を駆動する能力が一般的のバッファに比べれば小さく、出力端子2124の寄生負荷容量をできるだけ小さくする必要があり、CMOSインバータ回路C2123のトランジスタのサイズを大きくできないためである。(トランジスタのサイズが小さいので駆動力が小さい。)

【0252】すなわち、本実施の形態にかかる入力回路C2120においては、出力端子2123の負荷駆動能力を、より大きくすることが望まれる。かかる課題は、本実施の形態のみならず、上記第12の実施の形態にも共通の課題である。

【0253】(第14の実施の形態) 次に、第14の実施の形態について、図29を参照しながら説明する。なお、図29は、本実施の形態にかかる入力回路C2130の概略的な構成図である。図29に示すように、本実施の形態にかかる入力回路C2130は、図28に示す上記第13の実施の形態にかかる入力回路C2120に、更に、4段目のCMOSインバータ回路C2134を設けた構成を有している。

【0254】入力回路C2130において、4段目のCMOSインバータ回路C2134は、3段目のCMOSインバータ回路C2133の次段に設けられている。かかるCMOSインバータ回路C2134は、3段目のCMOSインバータ回路C2133よりもトランジスタのサイズが大きく駆動力が大きいCMOSインバータ回路

49

【0255】また、1段目の差動アンプの出力端子2134, 2135と2段目の差動アンプC2132の第1及び第2の入力端子との接続が逆になっているが、これは信号論理の都合上この様な回路構成しただけのことであり、本実施の形態の本質に関わることではない。(つまり、1段目の差動アンプの出力端子2134, 2135と2段目の差動アンプC2132の入力端子との接続が実施の形態2と同じであっても、実施の形態3の効果は得られる。)

【0256】1段目の差動アンプC2131, 2段目の差動アンプC2132, 3段目のCMOSインバータ回路C2133の回路動作は、図28に示す上記第13の実施の形態と略同一である。ただし、1段目の差動アンプC2131の出力端子2135出力端子2136と2段目の差動アンプC2132の入力端子との接続が、図28に示す上記第13の実施の形態にかかる入力回路C2120の場合とは逆になっているため、出力端子2134の信号の論理は入力回路C2120の場合と逆になる。

【0257】出力端子2137から出力される信号は4段目のCMOSインバータ回路C2134を駆動させ、4段目のCMOSインバータ回路C2134が出力端子2133に接続される不図示のLSI内部回路を駆動する。3段目のCMOSインバータ回路C2133から4段目のCMOSインバータ回路C2134に段階的にトランジスタのサイズを大きくして、駆動力を大きくすることで、最終的に大きな駆動力を得ることができる。

【0258】以上説明した本実施の形態によれば、まず、上記第13の実施の形態にかかる入力回路C2120の有する課題を解決することができる。なお、第13の実施の形態の入力回路C2120の有する課題の解決手段としては、入力回路C2120の出力端子2123に駆動力の大きいバッファ回路を外部で接続する構成もある。しかし、第14の実施の形態にかかる入力回路内部にインバータ回路を設ける構成の方が、回路面積を遥かに小さくすることができるという利点がある。また、本実施の形態を第12の実施の形態に適用にしても上記第1及び第2の効果を得ることができる。また、第12の実施の形態で挙げた効果は、本実施の形態でも得られる。

【0259】本実施の形態の入力回路C2130は、1段目の差動アンプC2131, 2段目の差動アンプC2132にDC電流が流れしており、信号を受信していない時(=入力回路が働いていない時)にもこれらのDC電流で無駄な電力を消費してしまう。しかも、このDC電流により消費される電力は、入力回路全体の消費電力に対して、大きな比率を占める。

【0260】(第15の実施の形態)次に、第15の実施の形態について、図30及び図31を参照しながら説明する。なお、図30は、本実施の形態にかかる入力回

10

20

30

40

50

50

路C2140の概略的な回路構成図である。また、図31(a)は、PD(Power Down)制御回路C2145として入力回路C2140に適用可能な制御回路C2150の概略的な回路図であり、図31(b)は、制御回路C2150の動作についての真理値表図である。

【0261】図30に示すように、本実施の形態にかかる入力回路C2140は、図29に示す上記第14の実施の形態にかかる入力回路C2130に、更に、PD制御回路C2145を備えた構成を有している。入力回路C2140において、PD制御回路C2145は、入力端子2148と第1の出力端子2149と第2の出力端子21410と第3の出力端子21411とを有している。

【0262】かかるPD制御回路C2145の入力端子2148は、入力回路C2140が適用される集積回路の内部回路(不図示)に接続される。また、第1の出力端子2149は、1段目の差動増幅回路C2141に適用されたPMOSトランジスタP2145のゲート端子に接続されている。さらに、第2の出力端子21410は、NMOSトランジスタN2145のゲート電極に接続されている。さらには、第3の出力端子21411は、2段目の差動増幅回路C2142に適用されたNMOSトランジスタN21410のゲート電極に接続されている。なお、PD制御回路C2145の具体的な構成例については、後に説明する。

【0263】1段目の差動アンプC2141, 2段目の差動アンプC2142, 3段目のCMOSインバータ回路C2143, 及び4段目のCMOSインバータ回路C2144の回路動作は上記第14の実施の形態と略同一である。したがって、ここでは、その詳細な説明は省略し、本実施の形態にかかるPD制御回路C2145の回路動作について詳細に説明する。

【0264】PD制御回路C2145の入力端子2148に、不図示の内部回路からPD制御信号が入力されると、かかるPD制御信号の論理に基づき、第1の出力端子2149と第2の出力端子21410と第3の出力端子21411とから、"H"レベル又は"L"レベルの信号が输出されて、PMOSトランジスタP2145, NMOSトランジスタN2145, 及びNMOSトランジスタN21410のオン, オフが制御される。

【0265】PD制御回路C2145として、例えば、図31(a)に示すPD制御回路C2150を使用することができる。PD制御回路C2150は、入力端子2151と第1, 第2, 第3の出力端子2152, 2153, 2154を持ち、それぞれ、図30に示すPD制御回路C2145の入力端子2146と第1, 第2, 第3の出力端子2149, 21410, 21411に対応する。また、図31(b)にはPD制御回路C2150の真理値表も示している。入力端子2151に"L"レベ

51

ル=0Vが入力されると、第1の出力端子2152には”L”レベル=0Vが出力され、第2の出力端子2153と第3の出力端子2154には”H”レベル=Vdd（電源の電位）が出力される。一方、入力端子2151に”H”レベル=Vddが入力されると、第1の出力端子2152には”H”レベル=Vddが出力され、第2の出力端子2153と第3の出力端子2154には”L”レベル=0Vが出力される。

【0266】次に、入力回路C2140の回路動作を具体的に説明する。入力回路C2140外部の内部回路からPD制御回路C2145の入力端子2148に”L”レベル（例えば約0V）が入力されると、PD制御回路C2145の第1の出力端子2149には、”L”レベル=0Vの信号が出力される。また、ほぼ同時に、第2の出力端子21410と第3の出力端子21411とには”H”レベル（例えば電源電位Vdd）が出力される。

【0267】したがって、PMOSトランジスタP2145、NMOSトランジスタN2145、及びNMOSトランジスタN21410は、いずれもオン状態となり、1段目の差動アンプC2141と2段目の差動アンプC2142とは、通常の動作状態になる。結果として、入力回路C2140は、通常の動作状態（=入力信号を受信できる状態）になる。

【0268】一方、内部回路から入力端子2148に”H”レベル（例えば電源電位Vdd）が入力されると、第1の出力端子2149には”H”レベル（例えば電源電位Vdd）の信号が出力される。また、第2の出力端子21410と第3の出力端子21411とには、”L”レベル（例えば約0V）が出力される。したがって、PMOSトランジスタP2145とNMOSトランジスタN2145とNMOSトランジスタN21410とはいずれもオフ状態となり、1段目の差動アンプC2141と2段目の差動アンプC2142とに、DC電流は流れず、非動作状態（=信号を受信できない状態）が実現される。

【0269】なお、PD制御回路C2145はPMOSトランジスタP2145とNMOSトランジスタN2145とNMOSトランジスタN21410それぞれのゲート電極の電位を制御できれば良いので、図31(a)に示すPD制御回路C2150以外の回路構成も可能である。

【0270】以上説明した本実施の形態においては、入力回路C2140が入力信号を受信する必要が無い時には、PD制御信号により1段目の差動アンプC2141と2段目の差動アンプC2142のDC電流を流さない状態（この状態をPD状態と呼ぶ）にすることができる。したがって、上記第14の実施の形態の入力回路C2140が残した課題を解決することができる。

【0271】また、PD制御回路C2145は、例え

52

ば、図31(a)に示すPD制御回路C2150のような単純な回路で構成することができるため、入力回路C2140の面積の増加はわずかですむ。なお、本実施の形態を上記第12の実施の形態や上記第13の実施の形態に適用にしても上記の第1及び第2の効果を得ることができる。また、第12の実施の形態、第13の実施の形態、第14の実施の形態で挙げた効果は、本実施の形態でも得られる。

【0272】なお、本実施の形態にかかる入力回路C2140は、PD状態時には出力端子2143の出力信号の論理が不確定である。これは、2段目の差動アンプC2142の出力端子2144の電位が不確定なためである。したがって、内部回路の設計に余計な対策を生じさせる可能性が残される。

【0273】(第16の実施の形態) 次に、第16の実施の形態について、図32及び図33を参照しながら説明する。なお、図32は、本実施の形態にかかる入力回路C2160の概略的な回路図である。また、図33(a)は、PD制御回路C2165として入力回路C2160に適用可能な制御回路C2170の概略的な回路図であり、図33(b)は、制御回路C2170の動作についての真理値表団である。

【0274】本実施の形態にかかる入力回路C2160は、図30に示す上記第15の実施の形態にかかる入力回路C2140に、更に、PMOSトランジスタP21610を備えた構成を有している。また、PD制御回路C2165は、第4の出力端子21612を持つ。

【0275】本実施の形態の特徴にかかるPMOSトランジスタP21610は、そのドレイン端子が3段目のCMOSインバータ回路C2163の出力端子2167に接続されており、そのソース端子が電源電位Vddに接続されている。さらに、かかるPMOSトランジスタP21610のゲート端子は、PD制御回路C2165の第4の出力端子21612に接続されている。なお、PD制御回路C2165の具体的な回路構成例については後に説明する。

【0276】以上のように構成された入力回路C2160において、1段目の差動アンプC2161と2段目の差動アンプC2162と3段目のCMOSインバータ回路C2163と4段目のCMOSインバータ回路C2164との回路動作は、上記第15の実施の形態にかかる入力回路C2140の対応する構成要素とそれぞれ略同一である。したがって、その詳細な説明は省略して、以下においてはPD制御回路C2165とPMOSトランジスタP21610との回路動作について詳細に説明する。

【0277】入力回路C2160において、PD制御回路C2165の入力端子2168に、不図示の内部回路からPD制御信号が入力されると、かかるPD制御信号の論理に基づき、第1の出力端子2169、第2の出力

53

端子21610、第3の出力端子21611、及び第4の出力端子21612から”H”レベル又は”L”レベルの信号が出力される。結果として、PMOSトランジスタP2165、NMOSトランジスタN2165、NMOSトランジスタN21610、及びPMOSトランジスタP21610のオン、オフが制御される。

【0278】本実施の形態において、例えば、PD制御回路C2165には、例えば、図33(a)に示すPD制御回路C2170を適用することができる。PD制御回路C2170は、入力端子2171と第1の出力端子2172、第2の出力端子2173、第3の出力端子2174、及び第4の出力端子2175を有している。これらは、図32に示すPD制御回路C2165の入力端子2168と、第1、第2、第3、第4の出力端子2169、21610、21611、21612とに、それぞれが対応する。

【0279】図33(b)には、かかるPD制御回路C2170の真理値表を示す。入力端子2171に”L”レベル(例えば約0V)が入力されると、第1の出力端子2172には”L”レベル(例えば約0V)が出力される。また、ほぼ同時に、第2の出力端子2173と第3の出力端子2174と第4の出力端子2175には”H”レベル(例えば電源電位Vdd)が出力される。

【0280】一方、入力端子2171に”H”レベル(例えば約Vdd)が入力されると、第1の出力端子2172には”H”レベル(例えば約Vdd)が出力される。又、ほぼ同時に、第2の出力端子2173と第3の出力端子2174と第4の出力端子2175には”L”レベル(例えば約0V)が出力される。

【0281】次に、入力回路C2160の回路動作を具体的に説明する。入力回路C2160外部の内部回路(不図示)からPD制御回路C2165の入力端子2168に”L”レベル(例えば約0V)が入力された場合を想定する。かかる場合、第1の出力端子2169には”L”レベル(例えば約0V)の信号が出力されて、第2の出力端子21610と第3の出力端子21611と第4の出力端子21612には”H”レベル(例えば電源電位Vdd)が出力される。

【0282】したがって、PMOSトランジスタP2165、NMOSトランジスタN2165、及び、NMOSトランジスタN21610はいずれもオン状態となり、1段目の差動アンプC2161と2段目の差動アンプC2162は通常の動作状態にあり、PMOSトランジスタP21610はオフ状態なので出力端子2167の電位に影響を与えない。結果として、入力回路C2160は、通常の動作状態となる。

【0283】一方、内部回路から入力端子2168に”H”レベル(例えば電源電位Vdd)が入力されると、第1の出力端子2169には”H”レベル(例えば電源

50

54

電位Vdd)の信号が出力される。また、ほぼ同時に、第2の出力端子21610と第3の出力端子21611と第4の出力端子21612には”L”レベル(例えば約0V)が出力される。

【0284】したがって、PMOSトランジスタP2165、NMOSトランジスタN2165、及び、NMOSトランジスタN21610はオフ状態となり、1段目の差動アンプC2161と2段目の差動アンプC2162のDC電流は流れず、非動作状態になる。また、PMOSトランジスタP21610はオン状態になり、出力端子2167は”H”レベル(例えば電源電位Vdd)に固定され、出力端子2163は”L”レベル(例えば約0V)に固定される。入力回路C2160は非動作状態である。

【0285】なお、PD制御回路C2165はPMOSトランジスタP2165とNMOSトランジスタN2165とNMOSトランジスタN21610とPMOSトランジスタP21610のゲート電極の電位を制御できれば良いので、その回路構成は図33(a)以外の回路構成も可能である。

【0286】以上説明したように本実施の形態によれば、非動作時の入力回路において、出力端子の論理を固定することができるため、上記第15の実施の形態にかかる入力回路の残した課題を解決できる。さらに、本実施の形態にかかる入力回路C2160において、PD制御回路C2165は単純な回路で構成することが可能であり、また、入力回路中にはPMOSトランジスタを1個追加するだけなので、面積の増加はわずかですむ。さらにまた、第12の実施の形態、第13の実施の形態、第14の実施の形態、第15の実施の形態で挙げた効果は、本実施の形態でも、引き継ぎ得られる。

【0287】なお、本実施の形態の入力回路C2160は、PD状態時にはPMOSトランジスタP21610と3段目のCMOSインバータ回路C2163にDC電流が流れてしまうことがある。これは、2段目の差動アンプC2162の出力端子2164の電位が不確定なため、CMOSインバータ回路C2163のNMOSトランジスタN21611がオン状態になることもあるためである。したがって、完全にDC電流が流れない状態にしたくてもできないことがあり、無駄な電力を消費してしまうこともある。

【0288】(第17の実施の形態)次に、第17の実施の形態について、図34～図36を参照しながら説明する。なお、図34は、本実施の形態にかかる入力回路C2180の概略的な回路図であり、図35は、本実施の形態にかかる他の入力回路C2200の概略的な回路図である。図36(a)は、入力回路C2200にPD制御回路C2205として適用可能なPD制御回路C2210の概略的な回路図であり、図36(b)は、PD制御回路C2205の真理値表図である。

55

【0289】図34に示すように、本実施の形態にかかる入力回路C2180は、実質的に、図32に示す第16の実施の形態にかかる入力回路C2160において、3段目のCMOSインバータ回路C2163の代わりにCMOSインバータ回路C2183を適用した構成を有している。

【0290】かかる3段目のCMOSインバータ回路C2183のアンドゲート側はNMOSトランジスタN21811とNMOSトランジスタN21812が直列に接続されている。NMOSトランジスタN21811のドレイン端子は3段目のCMOSインバータ回路C2183の出力端子2187に接続されている。また、ゲート端子は2段目の差動アンプC2182の出力端子2184に接続されている。さらに、ソース端子はNMOSトランジスタN21812のドレイン端子に接続されている。NMOSトランジスタN21812のゲート端子はPD制御回路C2185の第4の出力端子21812に接続されており、ソース端子はGNDに接続されている。なお、PD制御回路C2185には、図33(a)に示す上記第16の実施の形態にかかるPD制御回路C2170を使用できる。

【0291】1段目の差動アンプC2181、2段目の差動アンプC2182、4段目のCMOSインバータ回路C2184、及び、PD制御回路C2185の回路動作は、上記第16の実施の形態における対応する各構成要素と略同一である。したがって、これらの詳細については説明を省略し、3段目のCMOSインバータ回路C2183とそれを制御するPD制御回路C2185との回路動作について詳細に説明する。

【0292】不図示の内部回路からPD制御回路C2185の入力端子2188に”L”レベル(例えば約0V)が入力されると、第1の出力端子2189からは”L”レベル(例えば約0V)の信号が出力される。ほぼ同時に、第2の出力端子21810と第3の出力端子21811と第4の出力端子21812からは”H”レベル(例えば電源電位Vdd)が出力される。

【0293】したがって、PMOSトランジスタP2185、NMOSトランジスタN2185、NMOSトランジスタN21810、NMOSトランジスタN21812はオン状態となり、1段目の差動アンプC2181と2段目の差動アンプC2182と3段目のCMOSインバータ回路C2183とは通常の動作状態になる。また、PMOSトランジスタP21810はオフ状態となり、出力端子2187の電位に影響を与えない。結果として、入力回路C2180は通常の動作状態である。

【0294】一方、不図示の内部回路からPD制御回路C2185の入力端子2188に”H”レベル(例えば電源電位Vdd)が入力されると、第1の入力端子2189からは”H”レベル(例えば電源電位Vdd)の信号が出力される。ほぼ同時に、第2の出力端子2181

10

20

30

40

50

56

0と第3の出力端子21811と第4の出力端子21812からは”L”レベル(例えば約0V)が出力される。

【0295】したがって、PMOSトランジスタP2185、NMOSトランジスタN2185、及び、NMOSトランジスタN21810はオフ状態になり、1段目の差動アンプC2181と2段目の差動アンプC2182にはDC電流は流れず、非動作状態になる。また、NMOSトランジスタN21812はオフ状態になり、3段目のCMOSインバータ回路C2182の入力信号の電位(=出力端子2184の電位)とは無関係にNMOSトランジスタN21812にはDC電流は流れない。さらに、PMOSトランジスタP21810はオン状態になり、出力端子2187は”H”レベル(例えば電源電位Vdd)に固定され、出力端子2183は”L”レベル=0Vに固定される。入力回路C2180は非動作状態である。

【0296】なお、PD制御回路C2170は、PMOSトランジスタP2185とNMOSトランジスタN2185とNMOSトランジスタN21810とPMOSトランジスタP21810とNMOSトランジスタN21812それぞれのゲート端子電極の電位を制御できれば良いので、その回路構成は図33に示す制御回路C2170以外の回路構成も可能である。

【0297】また、本実施の形態にかかる他の入力回路には、図35に示す入力回路C2200がある。かかる入力回路C2200は、図34に示す入力回路C2180とは以下の点で相違する。すなわち、図35に示すように、図34に示すPMOSトランジスタP21810の代わりにNMOSトランジスタN22013が適用されており、図34に示す3段目のインバータ回路C2183の代わりにインバータ回路C2203が適用されている。

【0298】図35に示すように、入力回路C2200において、NMOSトランジスタN22013のドレン端子は出力端子2207に接続され、ソース端子はGNDレベルに接続されている。3段目のインバータ回路C2203は、図34に示すインバータ回路C2183において、GNDレベル側に接続されたNMOSトランジスタN21812の代わりに電源電位側に接続されたPMOSトランジスタP22012を適用した構成になっている。入力回路C2200において、NMOSトランジスタN22013のゲート端子とPMOSトランジスタP22012のゲート端子とは、PD制御回路C2205の第4の出力端子に接続されている。

【0299】さらに、入力回路C2200において、PD制御回路C2205では、第4の制御端子22012の出力論理が、第1、第2、及び第3の制御端子2209、22010、22011の出力論理に対する反転論理となっている。入力回路C2200において、かかる

PD制御回路には、例えば、図36に示すPD制御回路C2210を適用することができる。

【0300】以上説明した入力回路C2200は、PD状態では出力端子2203から“H”レベル=Vddを出力する。一方、図34に示す入力回路C2180は、PD状態では出力端子2183から“L”レベル=0Vを出力する。この様に、本実施の形態においては、PD状態での出力信号の論理は任意に設定することができる。

【0301】以上説明した本実施の形態によれば、上記第16の実施の形態の入力回路において残された課題を解決することができる。すなわち、本実施の形態にかかる入力回路C2180は、PD状態にすることによって完全にDC電流を流さない状態にできるので、DC電力の消費を無くすことができる。また、3段目のCMOSインバータ回路C2183にNMOSトランジスタを一個追加するだけなので、面積の増加は僅かですむ。

【0302】なお、本実施の形態を、第12の実施の形態のC2082、第13の実施の形態のC2123、第14の実施の形態のC2133、第15の実施の形態C2143に適用しても上記の第1及び第2の効果を得ることができる。また、第12の実施の形態、第13の実施の形態、第14の実施の形態、第15の実施の形態、第16の実施の形態で挙げた効果は、本実施の形態でも引き継ぎ得られる。

【0303】(第18の実施の形態)次に、第18の実施の形態について、図37を参照しながら説明する。なお、図37は、本実施の形態にかかるマクロセルM21901、M21902、M21903を適用したLSIチップIC21901の概略的な回路図である。図37において、本実施の形態にかかるマクロセルM21901、M21902、M21903は、図34に示す上記第17の実施の形態にかかる入力回路C2180がマクロセル化された構成になっている。

【0304】実際に本実施の形態にかかるマクロセルM21901、M21902、M21903を使用してLSIチップIC21901を設計する際には、それぞれの出力端子21903とPD信号の入力端子21908とを内部回路C21901に接続する。さらに、マクロセルM21901、M21902、M21903それぞれの入力端子21901、21902がLSIチップIC21901の入力ピンに接続される。かかる構成においては、LSIチップIC21901上で、マクロセルM21901、M21902、M21903それぞれが、入力回路C2180の機能を果たす。

【0305】以上説明した本実施の形態のように、入力回路のマクロセル化を行うと、自動レイアウトCADツールを使うことでLSIチップの設計を実施することができる。したがって、LSIチップの設計に要するTATを大幅に短縮することができる。なお、第18の実施

10

の形態を第12の実施の形態にかかる入力回路C282、第13の実施の形態にかかる入力回路C2123、第14の実施の形態にかかる入力回路C2133、第15の実施の形態にかかる入力回路C2143、第16の実施の形態にかかる入力回路C2160に適用にしても上記の効果が得られる。

【0306】以上、本発明の好適な実施の形態について、添付図面を参照しながら説明したが、本発明はかかる構成に限定されない。特許請求の範囲に記載された技術的思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の技術的範囲に属するものと了解される。

【0307】例えば、上記実施の形態においては、ポイント・ツー・ポイン形式の信号伝送に適用される出力回路及び入力回路を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々な形式の信号伝送、例えばポイント・ツー・マルチポイント形式の信号伝送やバス形式での信号伝送等に適用される出力回路及び入力回路に対しても適用することができる。

【0308】さらに、上記実施の形態は、主として、平衡伝送型のインターフェース回路に適用される出力回路及び入力回路を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、平衡伝送型のインターフェース回路に適用される出力回路及び入力回路と不平衡伝送型のインターフェース回路に適用される出力回路及び入力回路とのいずれに対しても適用することができる。特に不平衡伝送のインターフェース回路に適用される入力回路については、本発明を適用することで、入力端子の片方に参照電位を接続して他方の入力端子に入力信号を入力すると、従来よりも広い範囲の参照電位で使用することができる。

【0309】さらにもた、上記実施の形態においては、主にCTTの小振幅インターフェース回路に適用する出力回路及び入力回路を例に挙げて説明したが、本発明はかかる構成に限定されない。本発明は、他の様々なインターフェース回路、例えば、LVDSのインターフェース回路等に適用する出力回路及び入力回路に対しても適用することができる。本発明によれば、小振幅インターフェース回路の共通な問題点である出力電圧と入力回路の感度の余裕が少ないと等を解決することができるため、CTT以外のCMOS小振幅インターフェース回路に適用しても同様の効果が得られる。

【0310】さらに、実施の形態として例に挙げた出力回路及び入力回路は、言うまでもなく、相互に組み合せたり或いは特徴的な構成を相互に適用し合ったりしても一向に差し支えない。

【0311】

【発明の効果】本発明によれば、出力変動が抑制された出力回路と入力電圧の許容範囲が広い入力回路とが実現

50

される。したがって、集積回路間での信号伝送用のインターフェース回路において、入力回路に一定の余裕を確保できるとともに出力回路の出力電圧を選択する幅を向上させることができる。結果として、本発明によれば、インターフェース回路の設計自由度が大幅に向かし、また製造された製品の歩留まりを向上させることができる。

【0312】さらに、出力変動が小さい出力回路と入力電圧の広い入力回路とを適用すると、インターフェース回路で使用される伝送信号としては、より小振幅なものを使うことが可能となる。したがって、例えば入力回路に適用されたトランジスタ等の伝送経路内に存在するキャパシタンスの充放電電荷量を削減することができるため、一層高速の信号伝送、低消費電力が実現できる。

【図面の簡単な説明】

【図1】本発明を適用可能な出力回路及びインターフェース回路の概略的な回路図である。

【図2】図1に示す出力回路に適用可能な制御回路の特性説明図である。

【図3】図1に示す出力回路に適用可能な制御回路の概略的な回路図である。

【図4】図1に示す出力回路に適用可能な他の制御回路の概略的な回路図である。

【図5】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図6】図5に示す出力回路に適用可能な制御回路の概略的な回路図である。

【図7】図5に示す出力回路に適用可能な他の制御回路の概略的な回路図である。

【図8】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図9】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図10】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図11】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図12】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図13】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図14】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図15】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図16】図15に示す出力回路に適用可能な参照電位発生回路の概略的な回路図である。

【図17】本発明を適用可能な他の出力回路及びインターフェース回路の概略的な回路図である。

【図18】本発明を適用可能なマクロセル化された出力回路及びLSIチップの概略的な回路図である。

【図19】本発明を適用可能な入力回路の概略的な回路図である。

【図20】(a)は、図19に示す入力回路の説明で例示する入力回路の回路図であり、(b)は、図19に示す入力回路の説明で例示する他の入力回路の回路図である。

【図21】不平衡伝送型のインターフェース回路の概略的な回路図である。

10 【図22】平衡伝送型のインターフェース回路の概略的な回路図である。

【図23】図20(a)に示す入力回路の回路動作についての説明図である。

【図24】図20(a)に示す入力回路の他の回路動作についての説明図である。

【図25】図19に示す入力回路の回路動作についてのシュミレーション結果の説明図である。

【図26】図20(a)に示す入力回路についてのシュミレーション結果図である。

20 【図27】図20(b)に示す入力回路についてのシュミレーション結果図である。

【図28】本発明を適用可能な他の入力回路の概略的な回路図である。

【図29】本発明を適用可能な他の入力回路の概略的な回路図である。

【図30】本発明を適用可能な他の入力回路の概略的な回路図である。

【図31】(a)は、図30に示す入力回路に適用可能なPD制御回路の概略的な回路図であり、(b)は、(a)に示すPD制御回路の動作についての真理値表図

30 である。

【図32】本発明を適用可能な他の入力回路の概略的な回路図である。

【図33】(a)は、図32に示す入力回路に適用可能なPD制御回路の概略的な回路図であり、(b)は、(a)に示すPD制御回路の動作についての真理値表図である。

【図34】本発明を適用可能な他の入力回路の概略的な回路図である。

【図35】本発明を適用可能な他の入力回路の概略的な回路図である。

40 【図36】(a)は、図35に示す入力回路に適用可能なPD制御回路の概略的な回路図であり、(b)は、(a)に示すPD制御回路の動作についての真理値表図である。

【図37】本発明を適用可能なマクロセル化された入力回路及びLSIチップの概略的な回路図である。

【符号の説明】

P31, P32, P33, P74, P21610 · · ·

PMOSトランジスタ

50 N31, N32, N33, N74, N106, N218

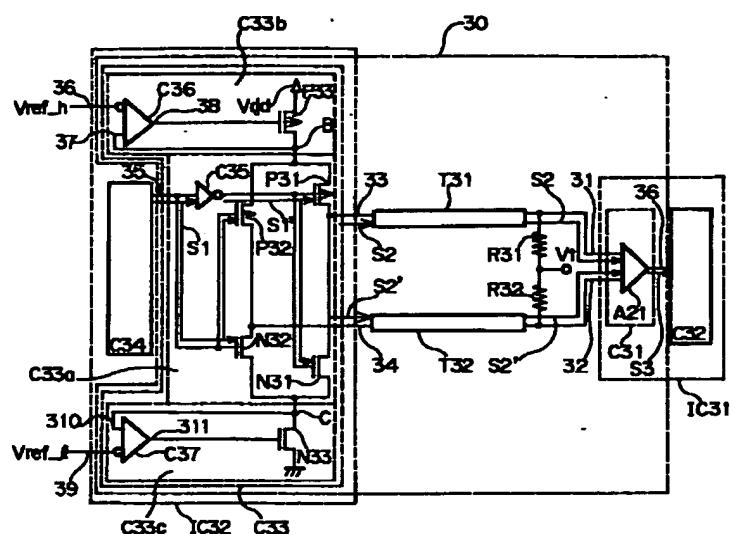
61

- 12 … NMOSトランジスタ
 33, 34, 2083 … 出力端子
 35, 2081, 2082 … 入力端子
 C33 … 出力回路
 C33b, C33c … 降圧電源回路
 C33a … ブッシュプル部
 C36, C37 … 制御回路
 C35, C2082, C2134 … インバータ回路
 R73, R74 … 抵抗

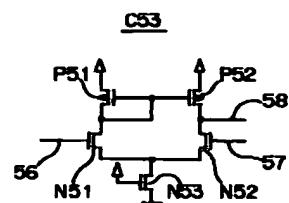
62

- 1107 … スリーステート端子
 C1208 … 参照電位供給回路
 M1501, M21901 … マクロセル
 C2080 … 入力回路
 C2081, C2121, C2122 … 差動增幅回路
 C2145 … PD制御回路
 Vref_h, Vref_l … 参照電位

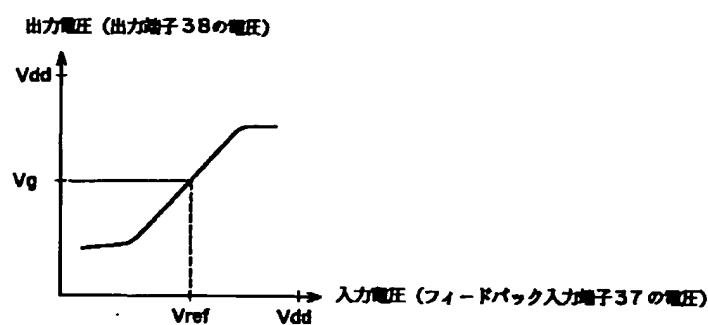
【図1】



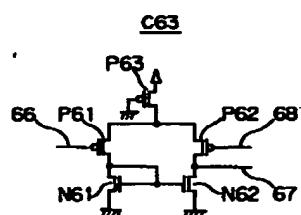
【図3】



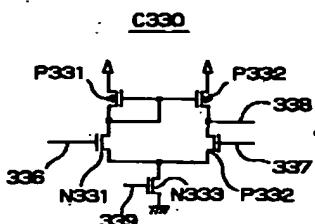
【図2】



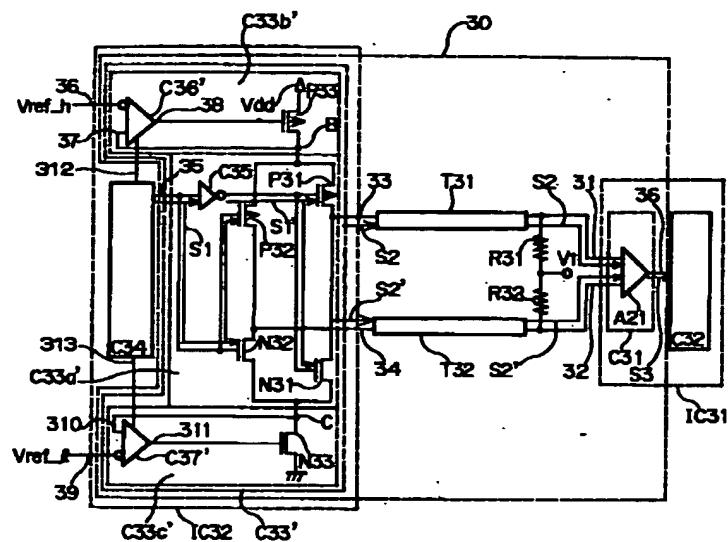
【図4】



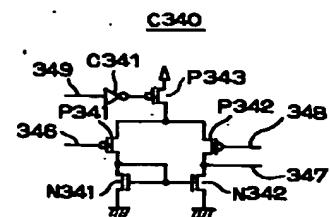
【図6】



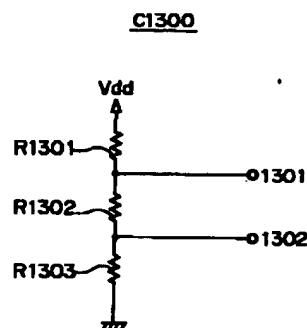
【図5】



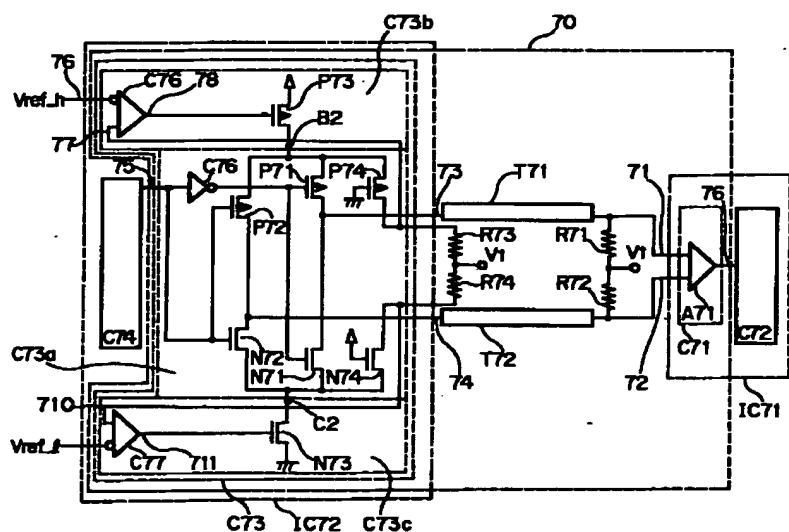
【図7】



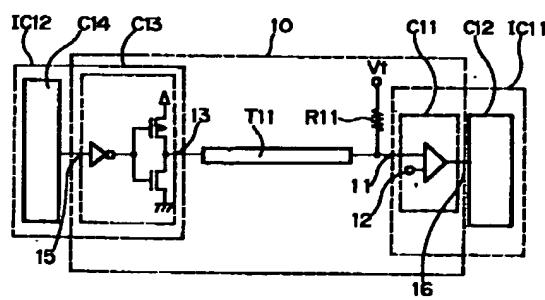
【図16】



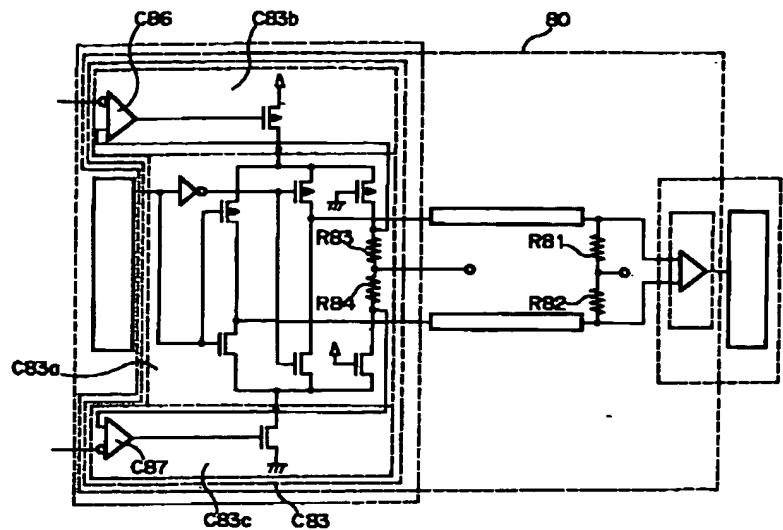
【図8】



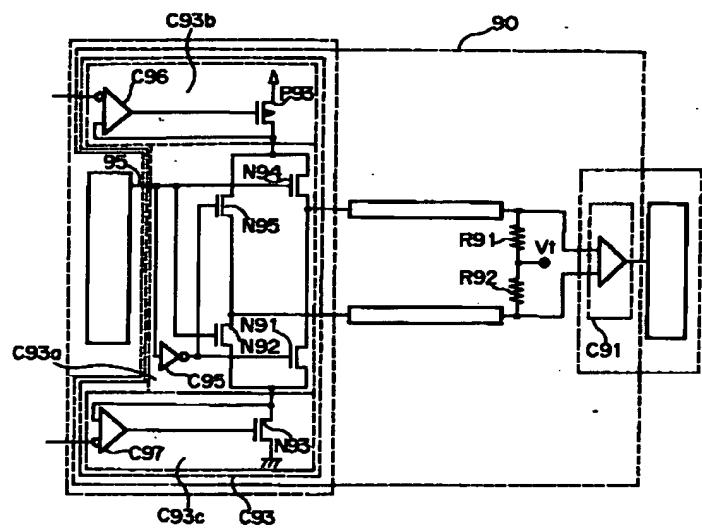
【図21】



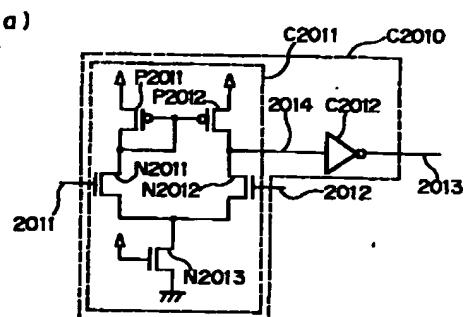
【図9】



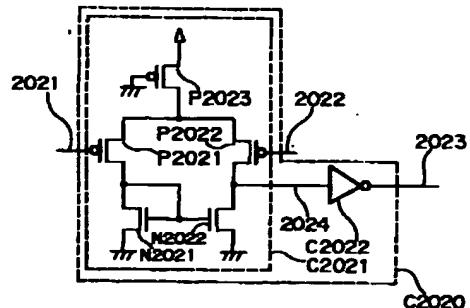
【図10】



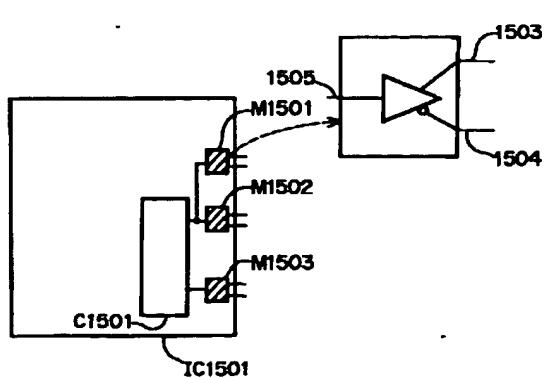
【図20】



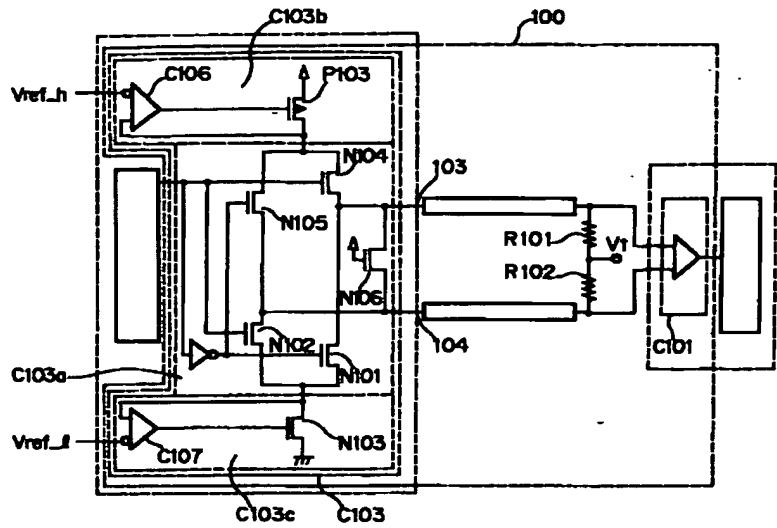
(b)



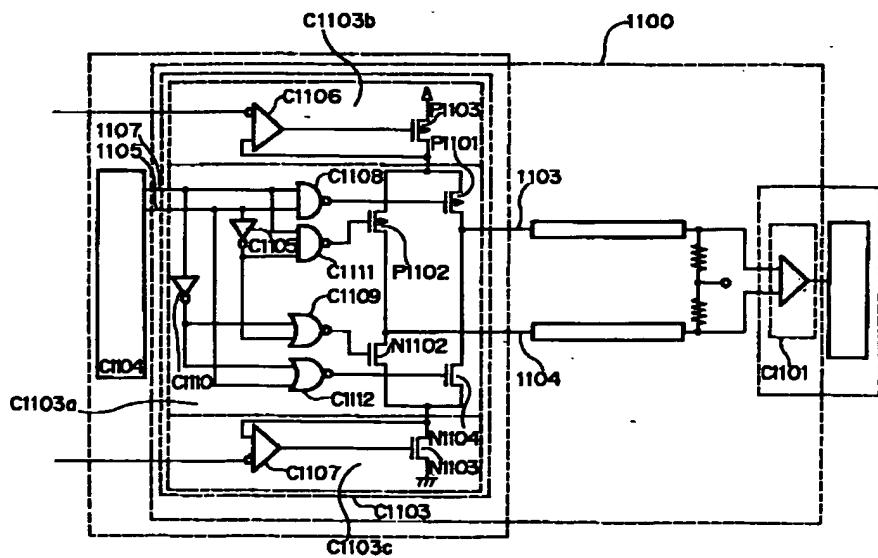
【図18】



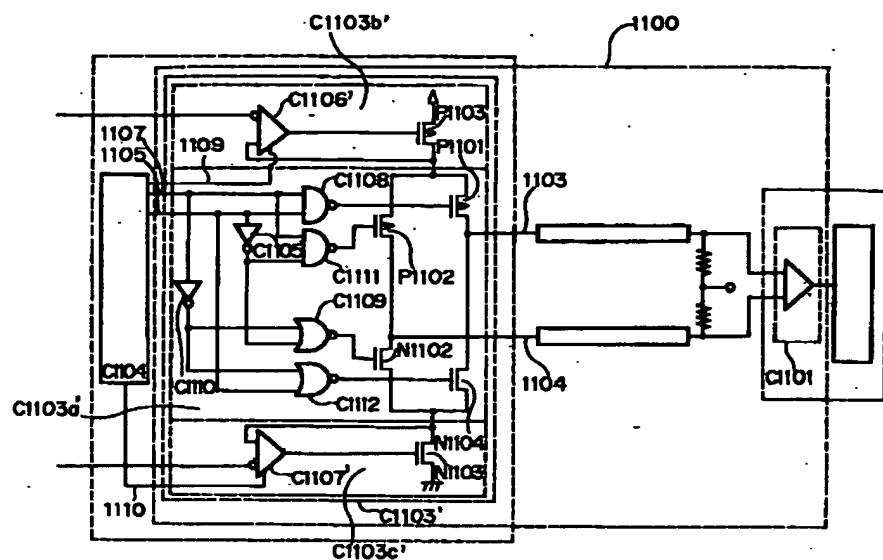
【図11】



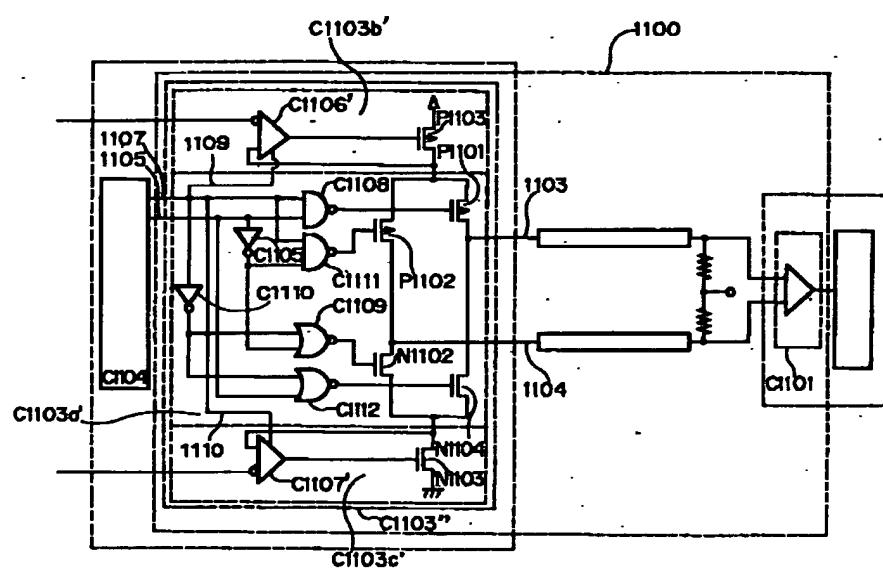
【図12】



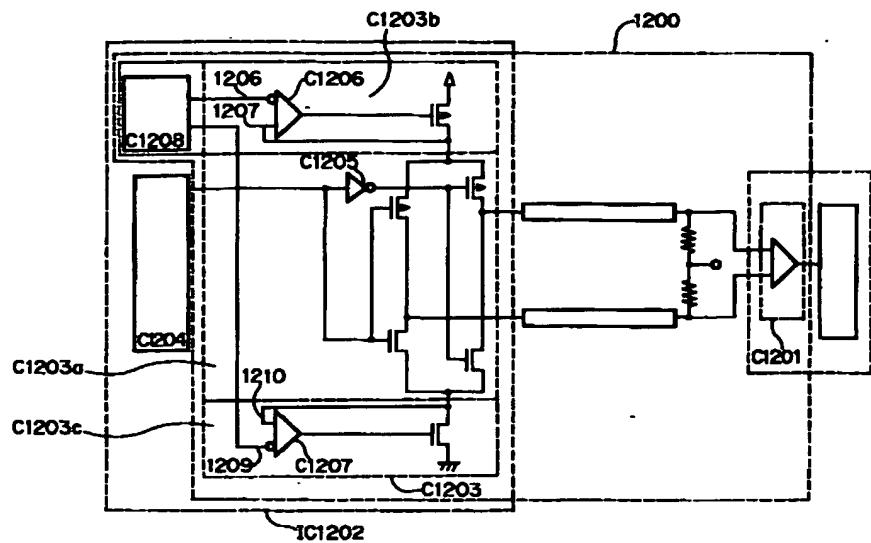
【図13】



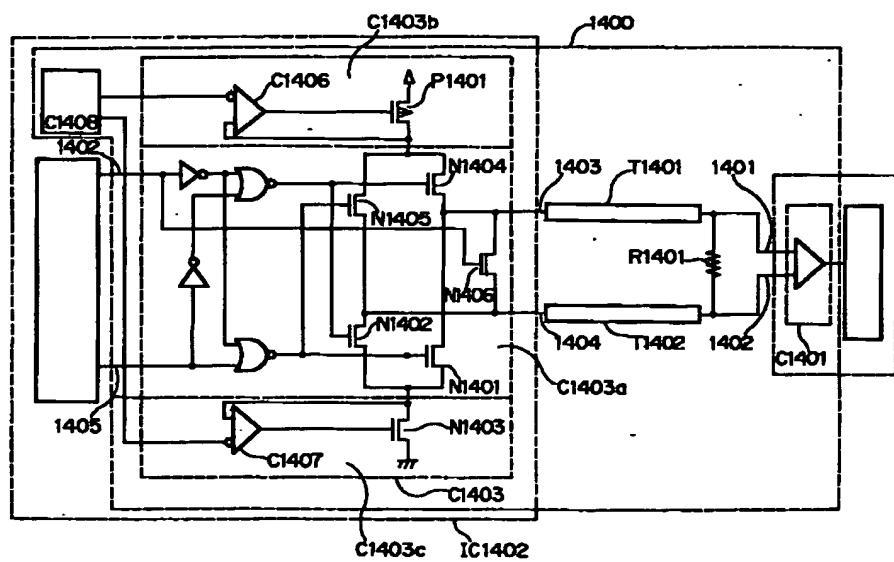
【図14】



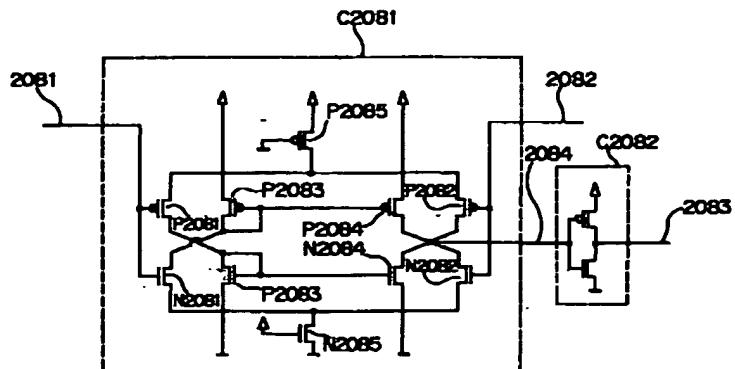
【図15】



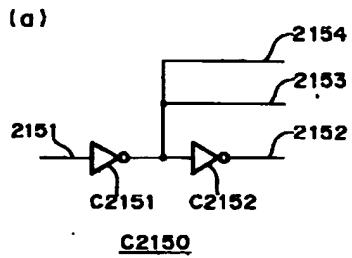
【図17】



【図19】

C2080

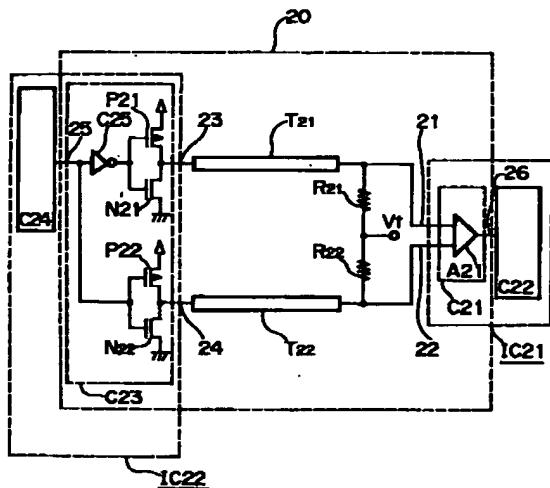
【図31】



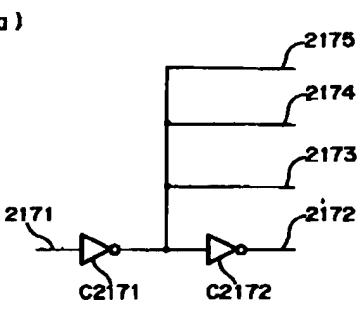
(b)

2151	2152	2153	2154
0	0	1	1
1	1	0	0

【図22】



【図33】

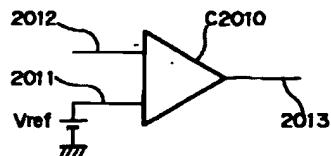


(b)

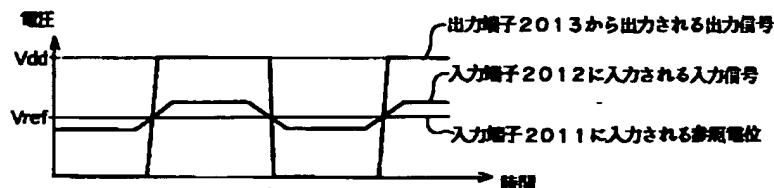
2171	2172	2173	2174	2175
0	0	1	1	1
1	1	0	0	0

【図23】

(a)

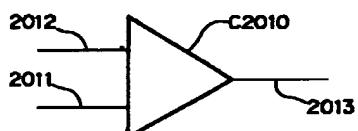


(b)

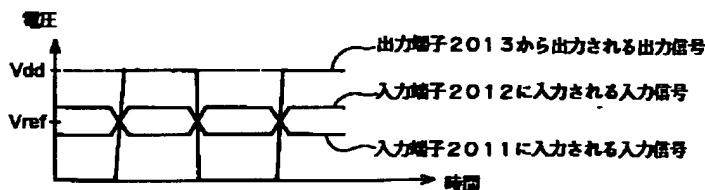


【図24】

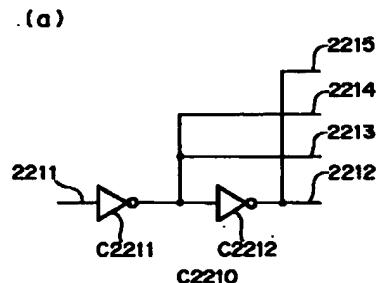
(a)



(b)



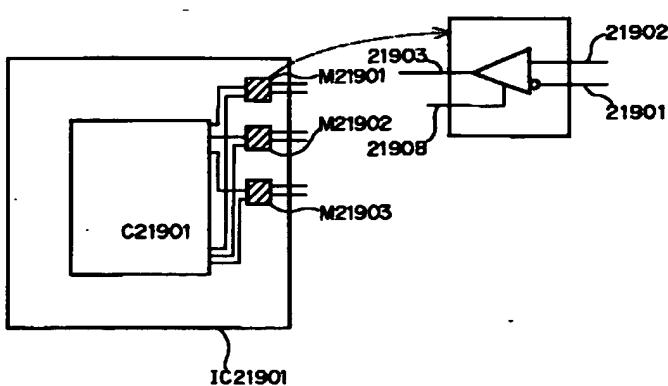
【図36】



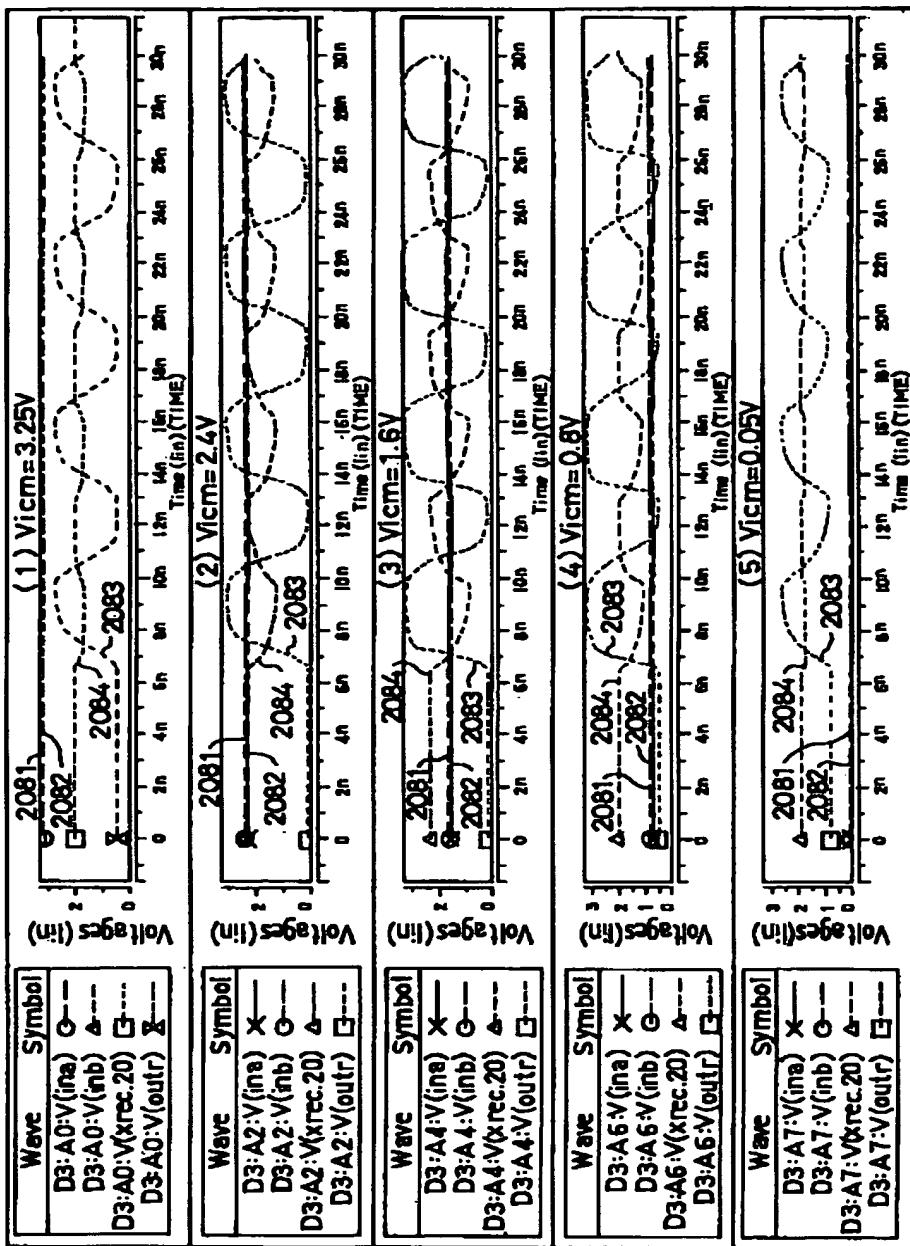
(b)

2211	2212	2213	2214	2215
0	0	1	1	0
1	1	0	0	1

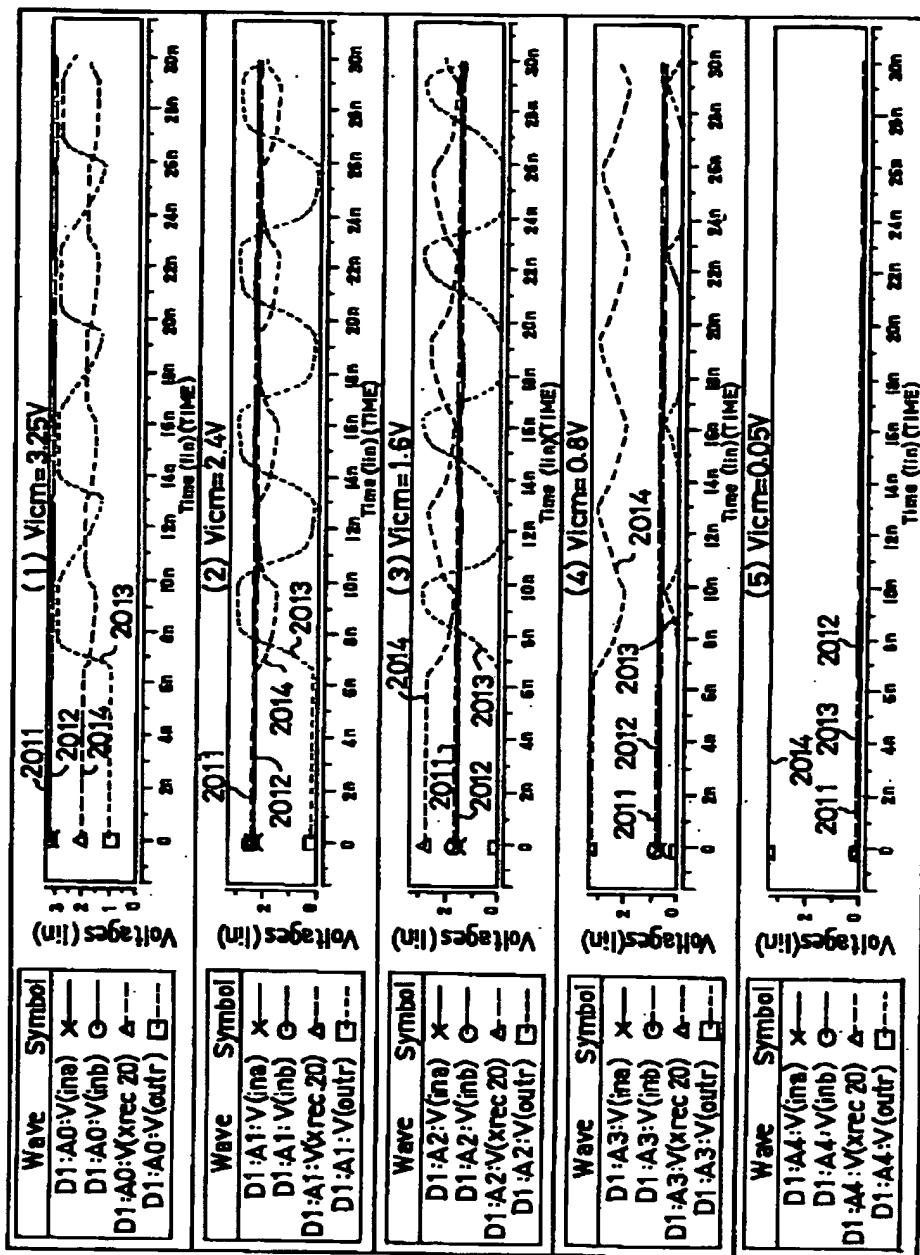
【図37】



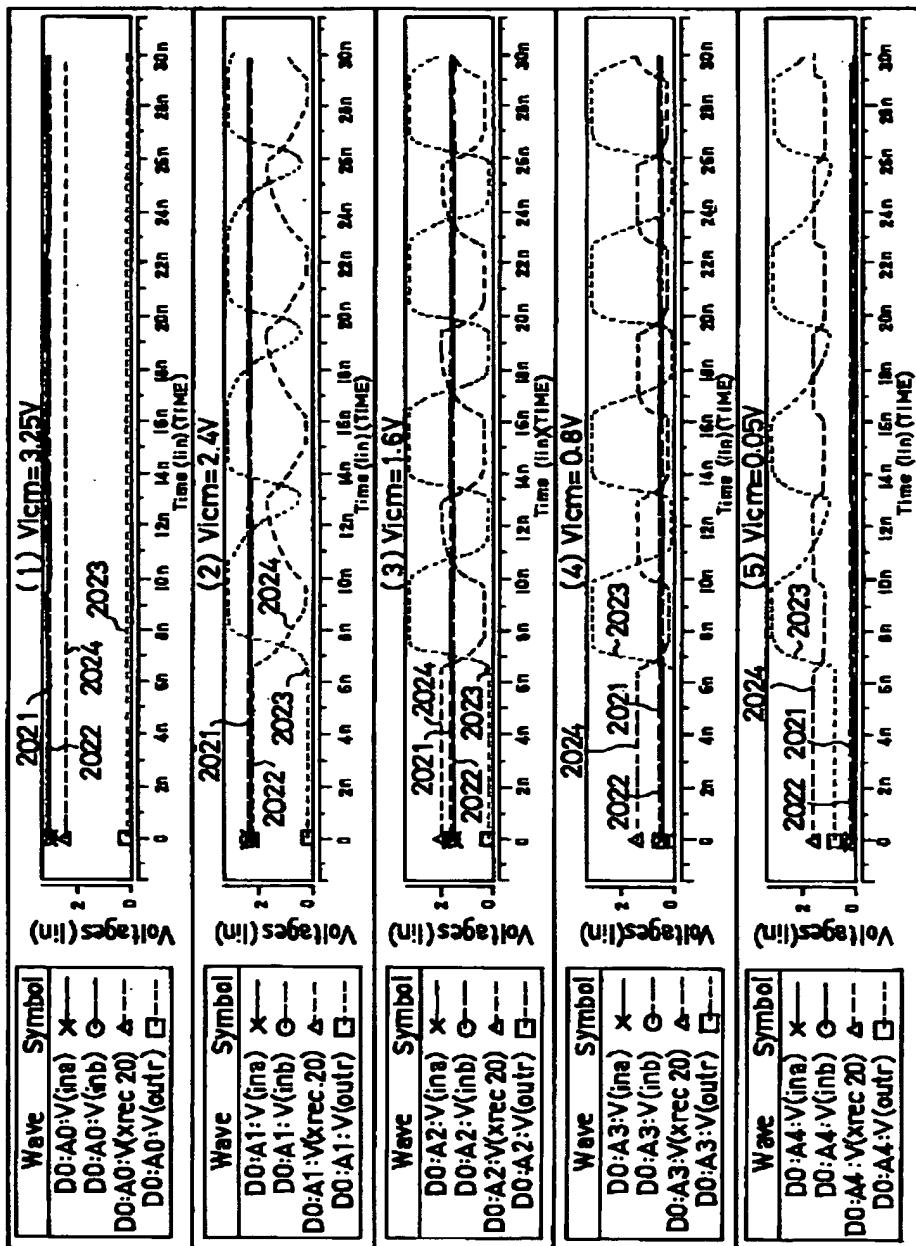
【図25】



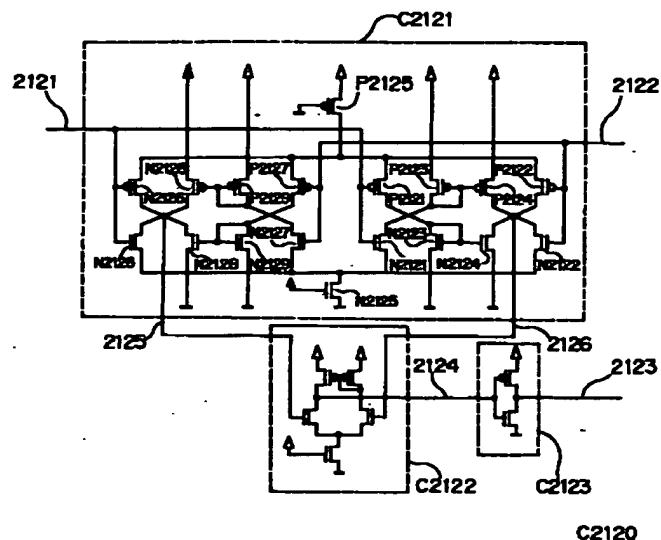
【図26】



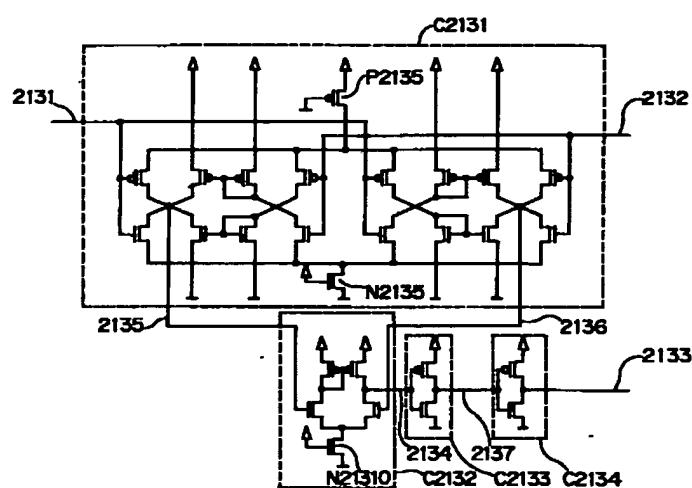
【図27】



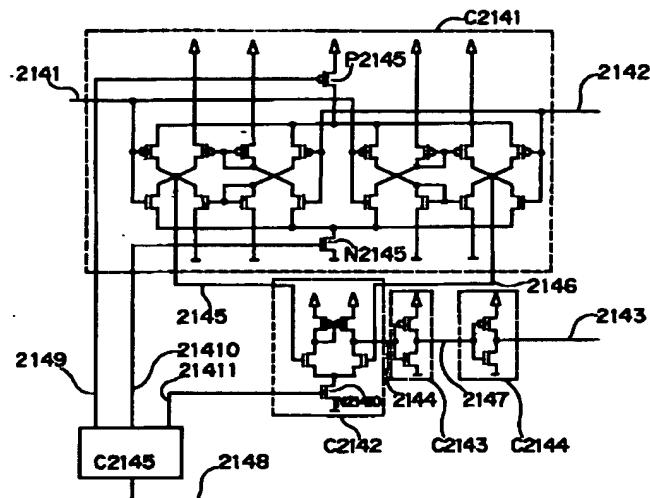
【図28】

C2120

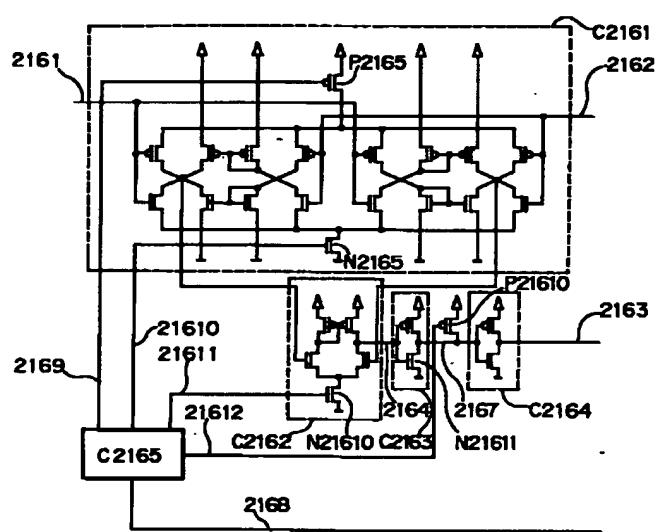
【図29】

C2130

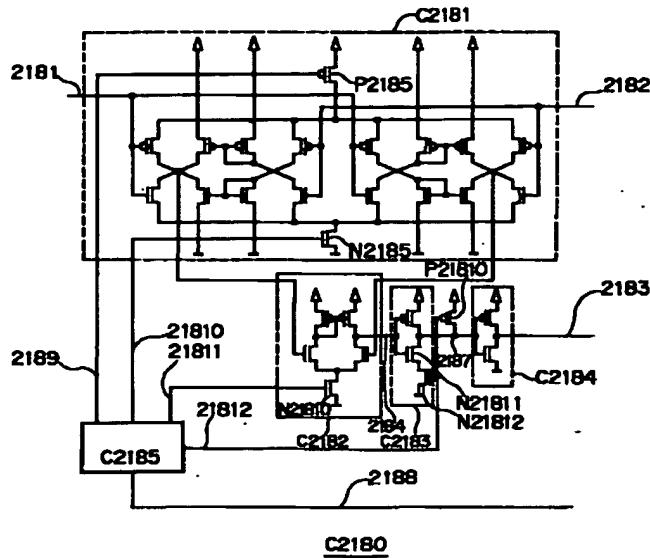
【図30】

C2140

【図32】

C2160

【図34】



【図35】

